

“基板・モジュールレベル静電気対策”

-RCJ “基板・モジュールレベル静電気対策委員会”活動内容からの報告- 2026.5.13

基板モジュール静電気対策委員会の目的

電子システムにおけるESD故障は、基板・モジュールの損傷によるものが急増している。今後の半導体デバイスの集積度向上により、基板・モジュールの取扱いも含め、この種のESD損傷はさらに急増してゆくと想定される。一方、コンポーネントレベルのように各ESDモデルの標準試験方法、静電気管理標準は整備されていない。そこで基板・モジュールレベルの静電気対策標準を提案するため、基板・モジュールレベルのESD現象を研究、調査する活動を当委員会の目的とする。

1. 基板・モジュールレベル静電気対策委員会活動経緯
2. 静電気障害の概要および分類
3. 半導体デバイス取扱いでのESDモデル、破壊症状とその保護
4. 基板・モジュール組立工程における静電気障害(CBE)とその特性及び実例
5. 電子システム搭載時の基板・モジュールの静電気障害(HMM)評価方法及び耐性設計
6. 基板・モジュールレベルSEED(System-Efficient ESD Design)設計の課題、問題点
7. 今後の基板・モジュールレベル静電気対策課題

○2018.4 RCJ “基板モジュールレベルの静電気対策委員会”結成

コンポーネント、システムレベルにおける静電気試験方法、ESD保護設計、静電気管理方法の標準化が進むに伴い、その中間組立品である基板・モジュールレベルにおいても、これらの整備が必要。標準がない。そこで、基板・モジュールレベル静電気損傷現象(CBE,HMM)を文献調査から始め、各標準指針を提案できるように当委員会が設立。

○2019.06 平成30年度 基板モジュールレベル静電気対策検討会 調査報告書 (R-30-M-01)発行

LSI開発における新規ESD保護設計が基板モジュールレベルESD耐性に与える影響を調査、検討。LSI保護進化に対応した、基板ESD保護の対応、SEED設計改良(**ハーモナイズESD保護設計**)の検討。

○2023.06 2022年度 基板モジュールレベル静電気対策検討会 調査報告書 (R-2022-M-01)発行

○2023.11 第33回RCJシンポジウム:“基板・モジュール静電気対策”セミナー開催

2023.6～2024.10、CBE工程対策、静電気管理対策、基板モジュールCBE、System-HBM対応のハーモナイズESD保護設計手法の基礎的検討、誤動作ノイズ現象分析等を各委員の実験及び文献調査にて実施。

○2024.11 第34回RCJシンポジウム:“基板・モジュール静電気対策”セミナー開催

○2025.03 関西地区:“基板・モジュール静電気対策”セミナー開催

○2025.06 2024年度 基板モジュールレベル静電気対策検討会 調査報告書 (R-2024-M-01)発行

○2025.10 第35回RCJシンポジウム:“基板・モジュール静電気対策”セミナー開催

1. 電子部品、基板・モジュール、電子機器における静電気障害分類及び各試験方法
 - コンポーネント、システムレベルでの各種静電気障害及び試験方法
 - 基板・モジュールレベルでの静電気障害モデル及び特徴

○ CBE(Charged Board Event) ○ HMM(Human Metal Model)

2. CBE障害と対策
 - CBE自動試験方法及びCBE モデル分析/CBE 保護SEED設計手法の検討
 - ESD管理規格比較、分析
 - 基板実装工程CBE障害事例分析と対策
 - ハードディスクにおける10V静電気対策とその手法
 - 製造工程での簡易静電気容量測定方法
 - チップレットの進展に伴うCDM耐性低下、狭ギャップ放電
3. 電子システムESD耐性確保のための基板ESD保護対策(HMM:Human Metal Model)
 - HMM試験方法の問題点
 - 基板ESDS保護のためのSEED設計及びハーモナイズ設計
 - ESDパラメータ抽出のTLP測定、ESD Gun耐性の整合性
 - システム挿入状態におけるESD保護設計
4. コンポーネントレベルESD保護設計と基板・モジュールレベルESD保護設計
5. ESD流入による誤動作現象
6. 静電気放電発生箇所可視化技術
(付録) 表面電位分布による静電気可視化技術

静電気障害とは、静電気放電(ESD)による電子部品等の損傷及び電子機器システムダウン等の現象を言う

静電気損傷の基本的関係

① 静電気帯電

$$Q = CV$$



② 静電気放電(ESD)

→ 静電気サ-ジ流入、静電気電界印加

ESD Model

$$E = V/d$$



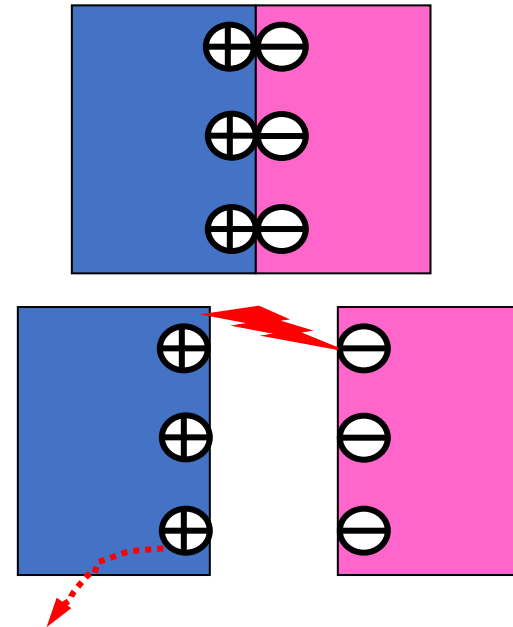
③ 電界的損傷、熱的損傷

破壊Model

$$\text{電界破壊 } V_B = E_B t$$

$$\text{熱的破壊 } P_{ave} \sim A (\tau)^{-n}$$

接触分離による静電気帯電(摩擦帯電、剥離帯電)



=接触=

異なった物質が接触すると、物質の電子取込力差により、接触点は帯電する。

=分離=

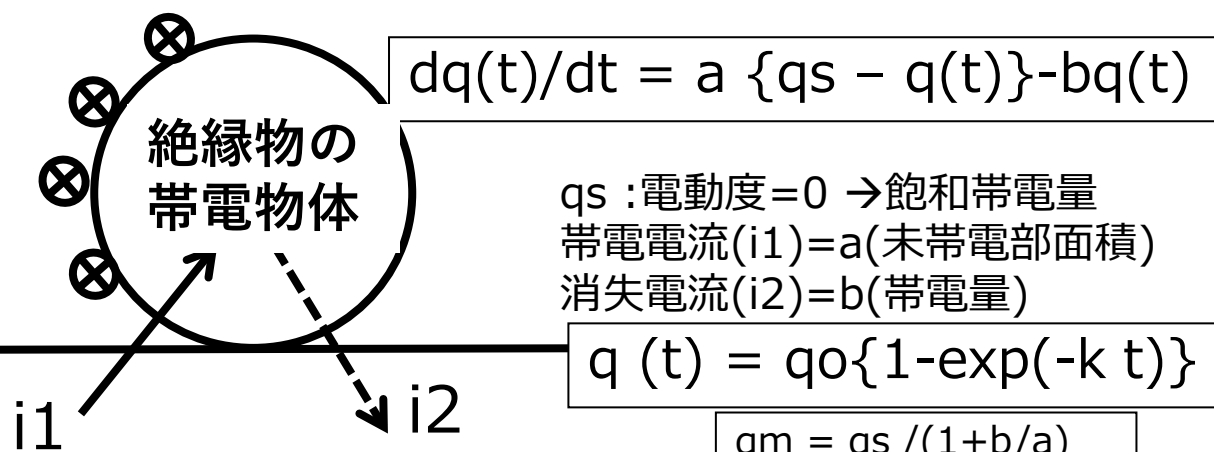
分離にて接触にて発生した静電気は、一部は再結合、一部はリークし、消滅するが、残留した電荷にて帯電電荷(Qの発生)

様々な組合せで、接触、分離すると経験的に帯電列が作成できる。

帯電列：最外殻電子引力(真空仕事関数)差による、接触電子移動の帯電力序列(+人体->ガラス->雲母--エボナイ--猫毛--ゴム--ポリエチレン--テフロン-)

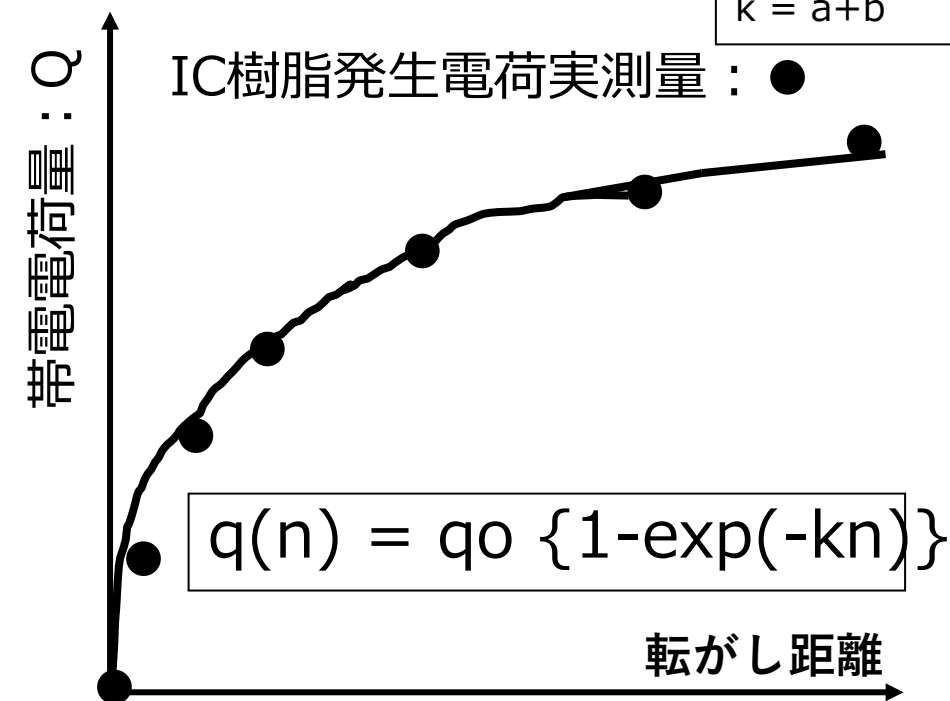
絶縁球転がり静電気帯電電荷蓄積の飽和曲線分析

第54回ESD-Jデータ更新セミナー:5



$$q_m = q_s / (1 + b/a)$$

$$k = a + b$$



帯電電荷量は、床表面粗さ(帯電球との摩擦・接触面積)に大きく依存する。

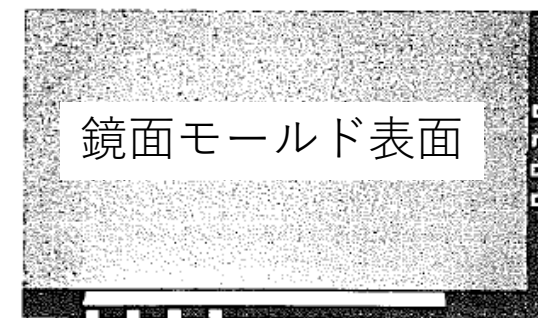
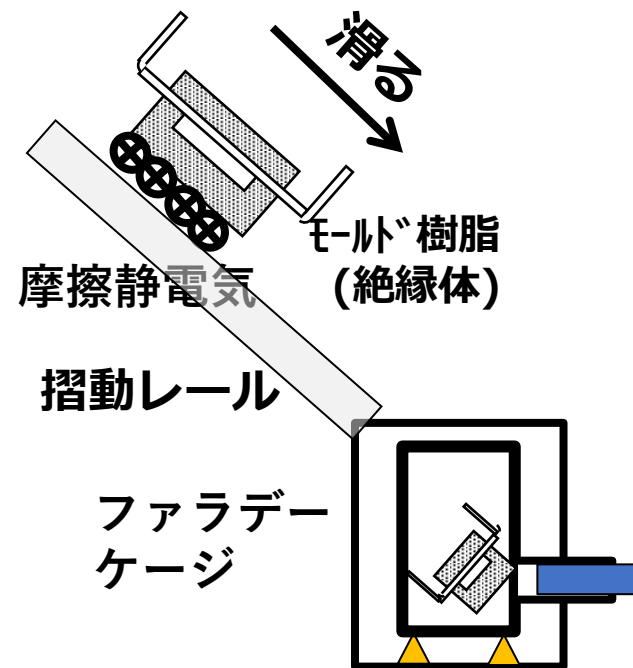


Photo.5-(a) Mirror Surface (SEM X70)

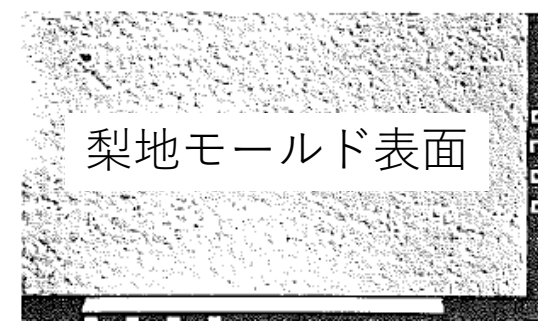
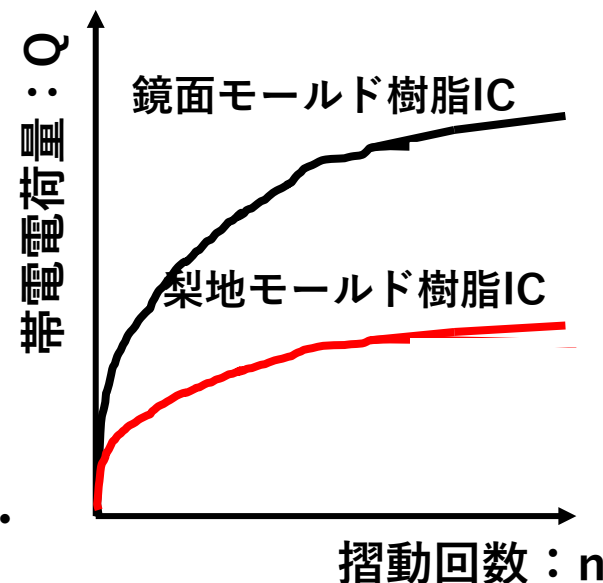


Photo.5-(b) Mat Surface (SEM X70)



ICの摺動回数を増やすと、摺動レールとのモールド表面接触点(接触点電荷量は一定)が増加してゆき、IC帯電電荷量も増加してゆく。モールド表面粗さの大きい梨地モールド樹脂は摺動レールとの接触点飽和値が小さくなるため、飽和電電荷量は小さい。従って、同一チップでも、梨地モールド封入ICは、鏡面モールド封入ICに対し、ESD損傷を起こしにくい。

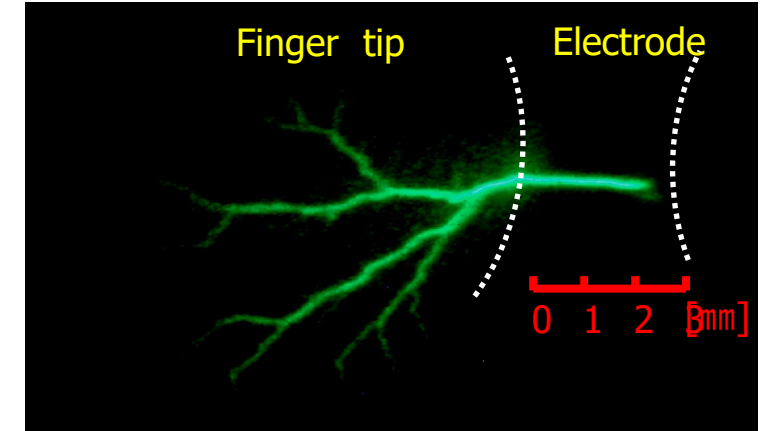
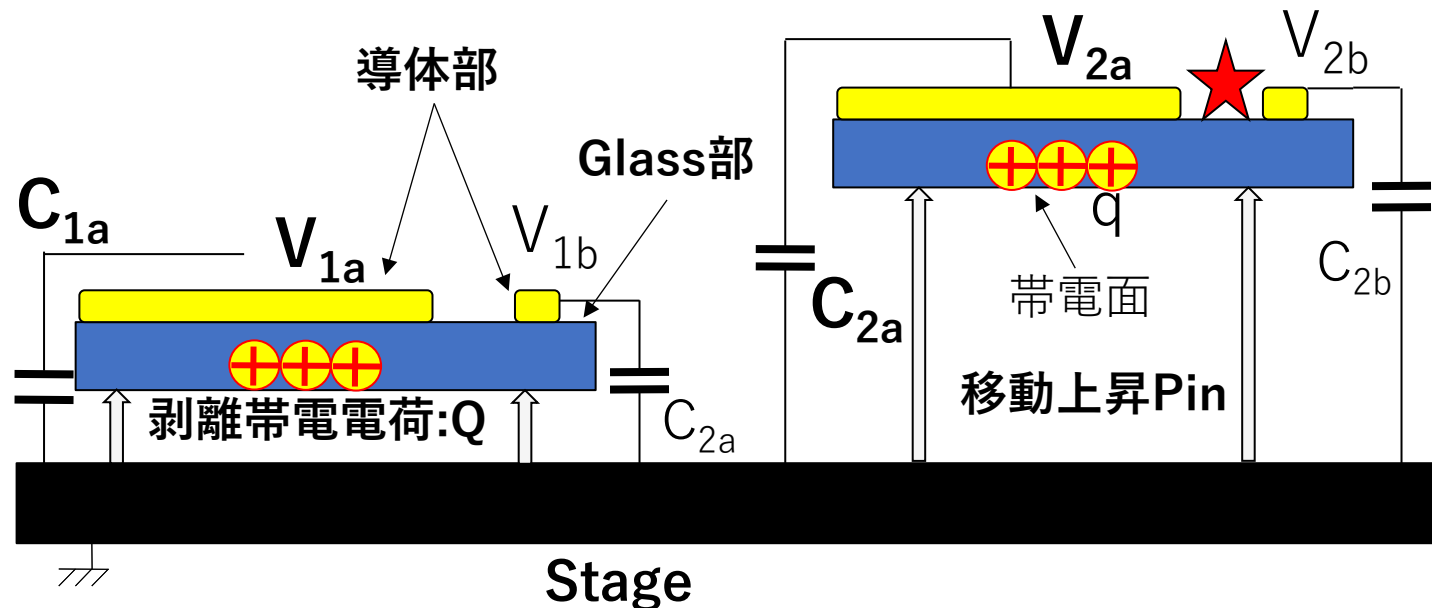
導体間の電位差 V (or 電界強度 E)が大きくなることによって静電気放電(ESD)が発生。

LCDパネルのアップダウン搬送機構とESD発生

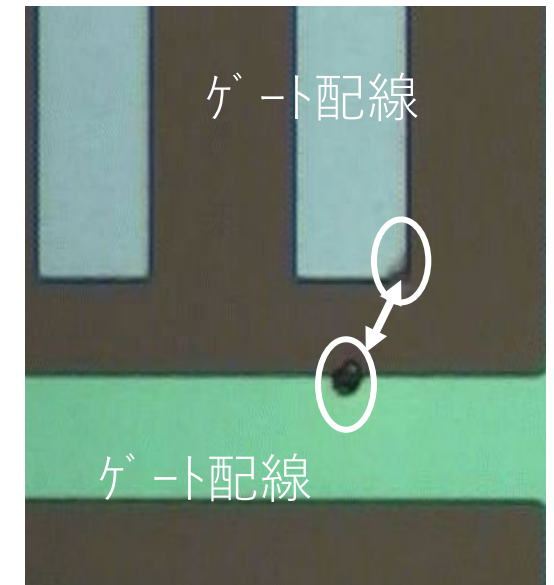
- 1.ステージ上昇(導体部静電容量の低下 $C_1 \rightarrow C_2$)
- 2.導体部電位の上昇($V_{1a} \rightarrow V_{2a}$)
3. $V_{2a} \sim V_{2b}$ 間電位差上昇: $E(\Delta V/d)$ の上昇
- 4.ESD(火花放電発生)

$$V = Q / C$$

Q :電荷量
 C :静電容量



静電気放電現象(ESD)



コンポーネント

基板/モジュール

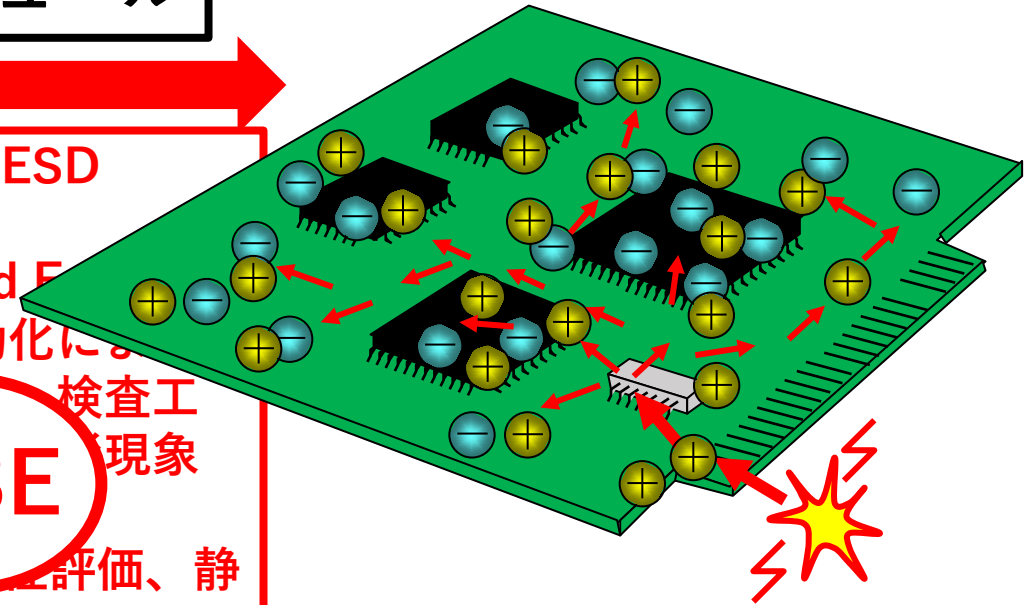
Floating状態の取扱い
によるESD損傷

1. a. 外部帯電物からのESD (HBM / MM)
b. デバイスからのESD (CDM)
c. 誘導現象
2. 公的標準法
JEDEC/JEITA/IEC/ESDA
3. 工程管理対策→EPA規定

**HBM
CDM**

1. 帯電基板からのESD
CBE
(Charged Board Electrostatic Discharge)
- 組立工程の自動化による
- 組立、半田付け、検査工程による帯電現象
2. 各工程固有の帯電評価、静電気管理の必要性

CBE



ESD→CBE現象

1. システムのUSB設置、基板修理時、外部帯電物体からのESD
HMM (Human Model)
2. IEC61000-4-2 評価(?)
ISO10605
3. 耐性手法→SEED設計提案
(ESD Council white paper3)

HMM

1. 帯電人体(HBM)からのESD流入
2. ESD Immunity公的試験
(IEC61000-4-2)

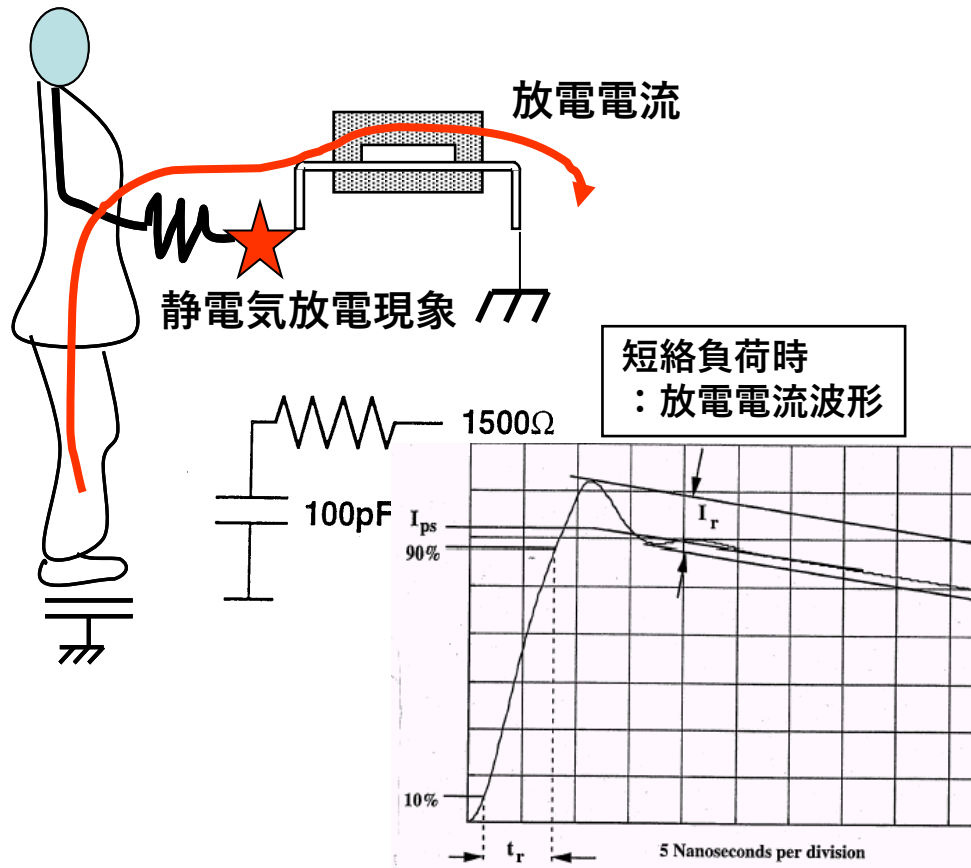
System-HBM

電子システム

電源ライン接続システム挿入状態における
外部ESDサージ流入による障害

コンポーネントレベルの静電気(ESD)損傷現象

外部帯電物体からのESD損傷現象



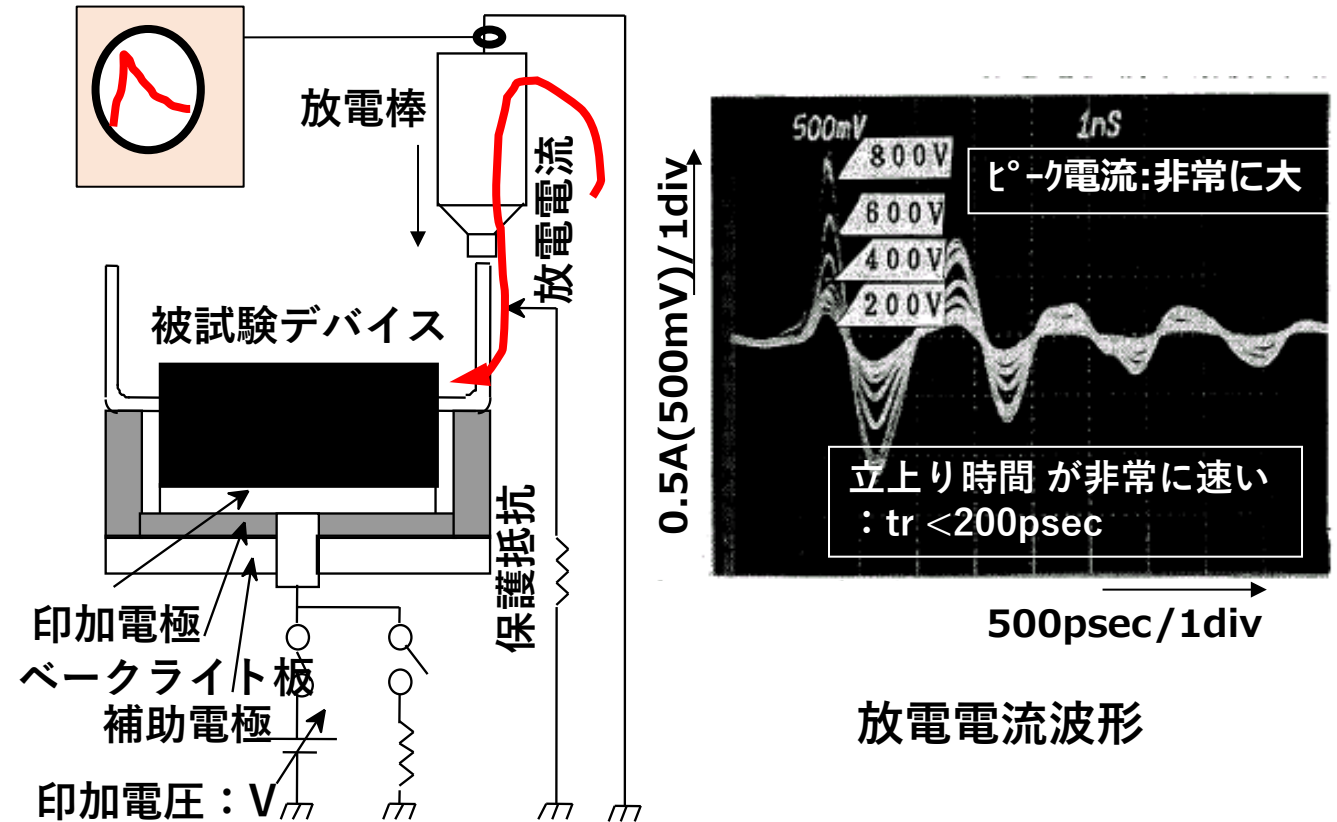
外部帯電物体が人体の場合

→人体帯電モデル:HBM(Human Body Model)

放電電流波形立上(tr) 遅い: $tr = 2 \sim 10 \text{ nsec}$ 放電時間(t_d or τ)長い: $t_d (\tau) \sim 150 \pm 20 \text{ nsec}$

→熱的破壊現象

帯電デバイスからのESD損傷現象



帯電デバイスからのESD現象

→デバイス帯電モデル:CDM(Charged Device Model)

帯電部がパッケージ表面: CPM(Charged Package Model)

放電電流波形立上(tr):非常に速い/ $tr < 200 \text{ psec}$

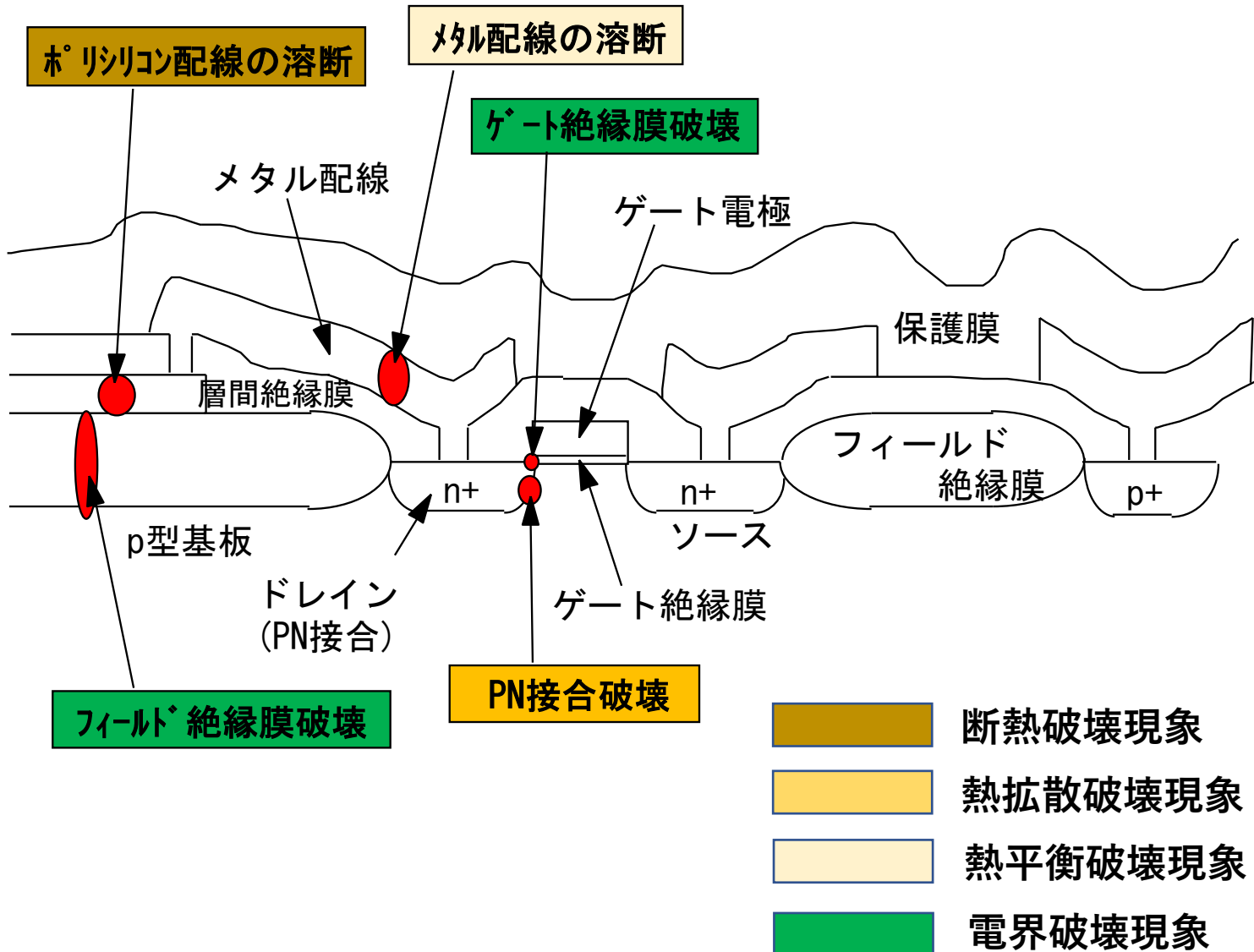
ピーク電流:非常に大きい(高過渡電圧印加)

放電時間(t_d or τ):非常に短い

→電界的破壊現象

半導体デバイスのESD損傷箇所と破壊現象

半導体デバイスのESD破壊現象



● 熱的破壊現象(電流が流れる部位)

→ ESDサージ流入による
素子、配線部の発熱による破壊

-断熱破壊Model

→ 全消費電力
(抵抗素子溶断、CNT破壊)

-熱拡散破壊Model

→ 熱拡散状態での発熱peak温度
(PN接合破壊)

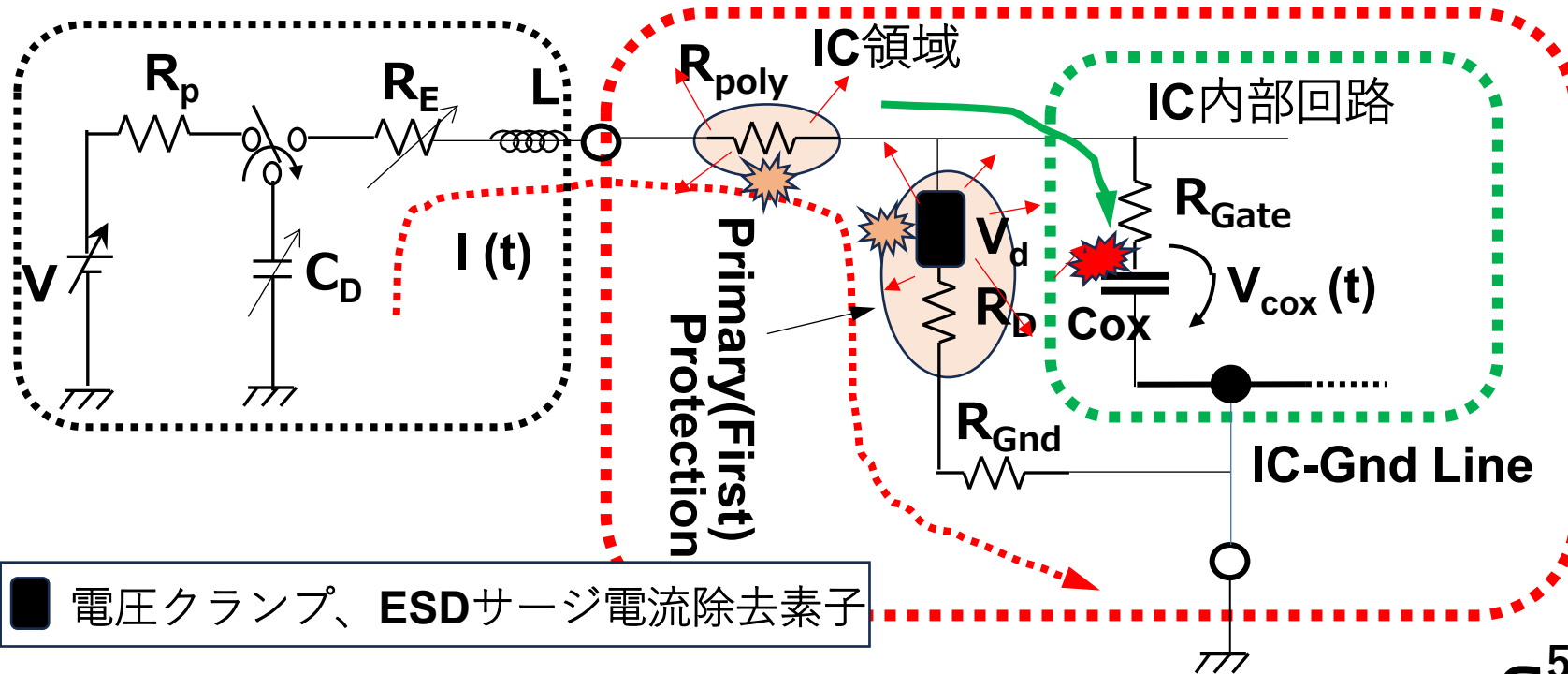
-熱平衡状態破壊Model

→ 定常電力
(配線溶断)

● 電界的破壊現象(絶縁部位)

-絶縁膜破壊現象

→ ESDサージ流入時、
絶縁体部への過渡電界強度
(Gate膜破壊、層間絶縁膜破壊)



熱的破壊(Thermal Damage)

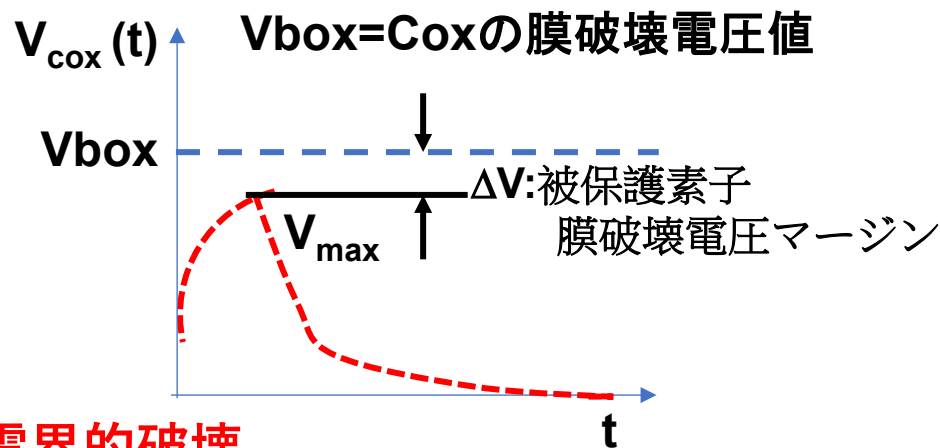
Primary Protection
Ppoly 抵抗等の発熱

$$R = R_E + R_{poly} + R_{Gnd} + R_D$$

$$C = C_D$$

$$I(t) = (V - V_d) / (R) \exp(-t/A)$$

$$A = (R)(C)$$



$$P_{ave} = 1/5\tau \left[\int_0^{5\tau} I(t) V_d dt + K \int_0^{5\tau} I(t)^2 R_D dt \right]$$

$$P_{ave} = K (V_d) \tau^{-n}$$

$$\text{or } 1/5\tau \int_0^{5\tau} I^2(t) R_{poly} dt$$

電界的破壊

IC内部回路絶縁膜破壊(電界的破壊)を防止するため、Primary ProtectionにてESDサージ除去、内部回路過渡電圧をクランプ。

n

- =1: 断熱破壊現象
- =0.5: 熱拡散破壊現象 (Wunsch-Bell Model)
- =0: 熱平衡破壊現象

熱的破壊現象

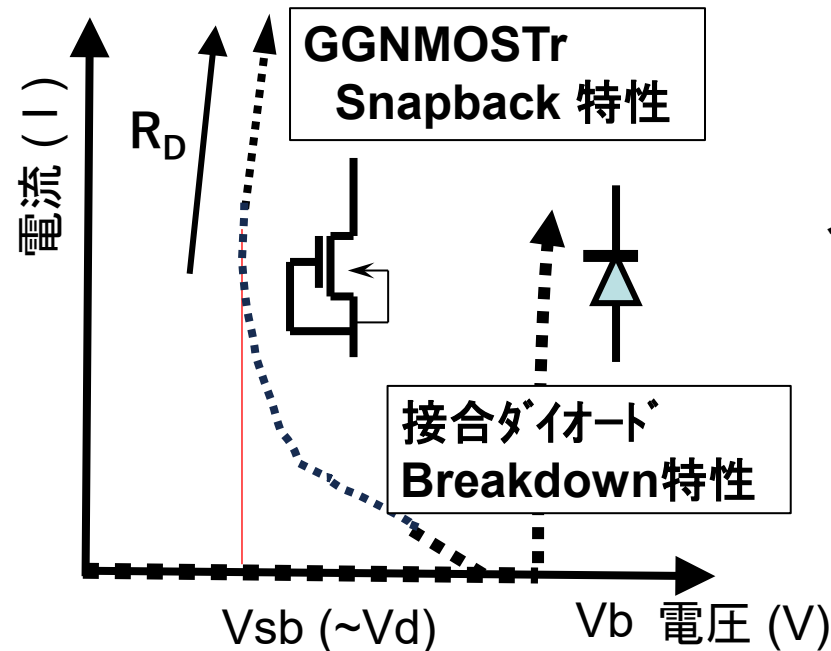
($P_{ave} = K (V_x) \tau^{-0.5}$ 熱拡散モデル)

$$P(t) = I(t)V_x + A\{I(t)^2 R_D\}$$

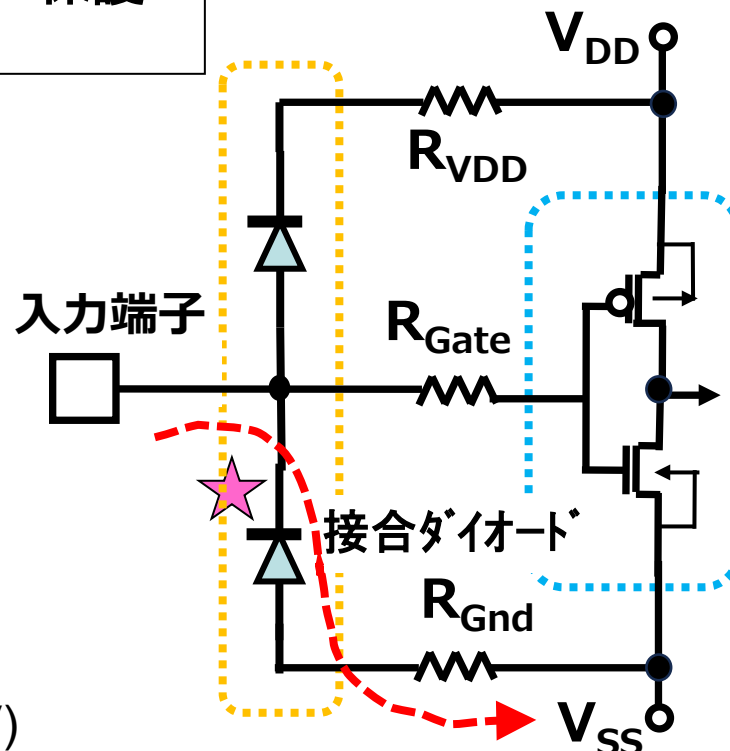
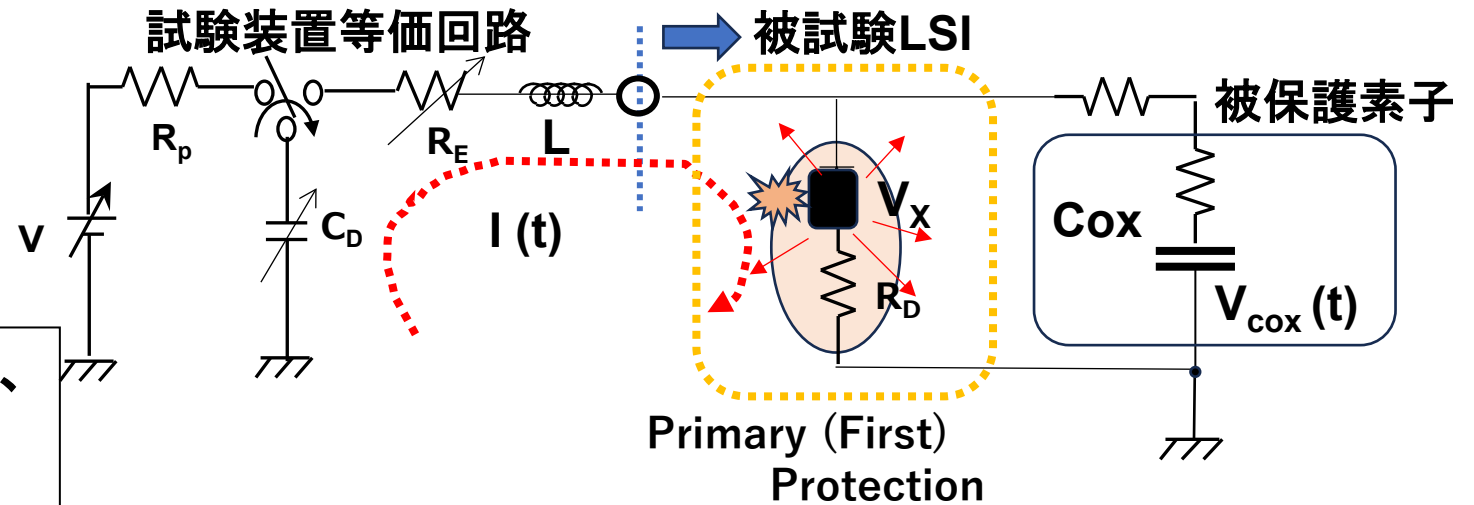
V_x : ESD通過時のProtection 電圧降下

$$R_E \ll R_D$$

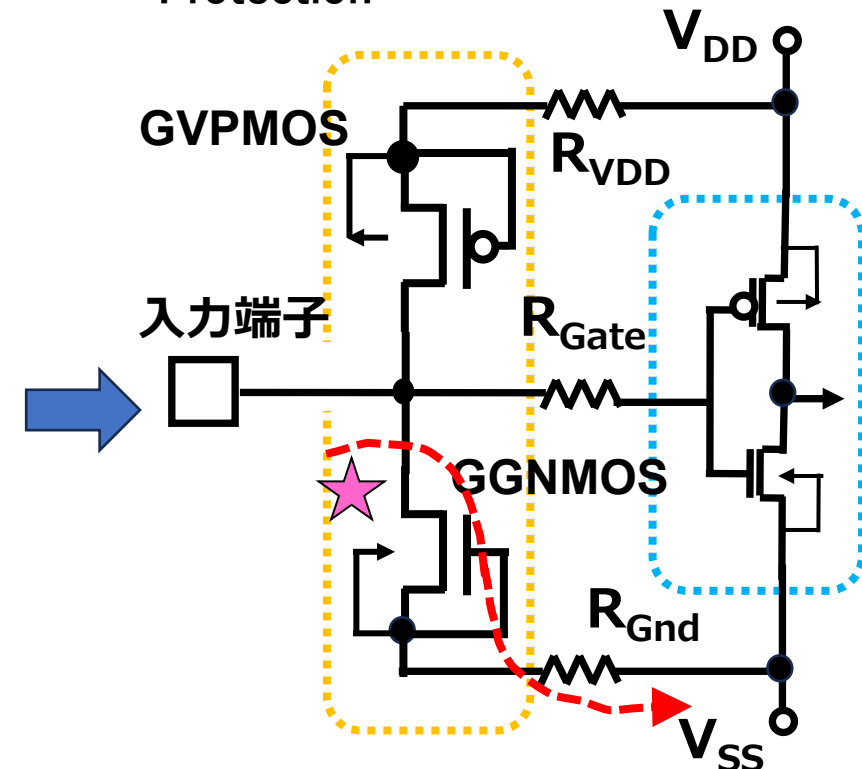
V_x, R_D が小さい方が素子発熱量は小さくなり、ESD耐性及びESD除去能力は向上する。
○接合ダイオード→GGNMOS/GVPMOS保護
(W にて耐性制御可能)



保護素子ブレークダウンIV特性

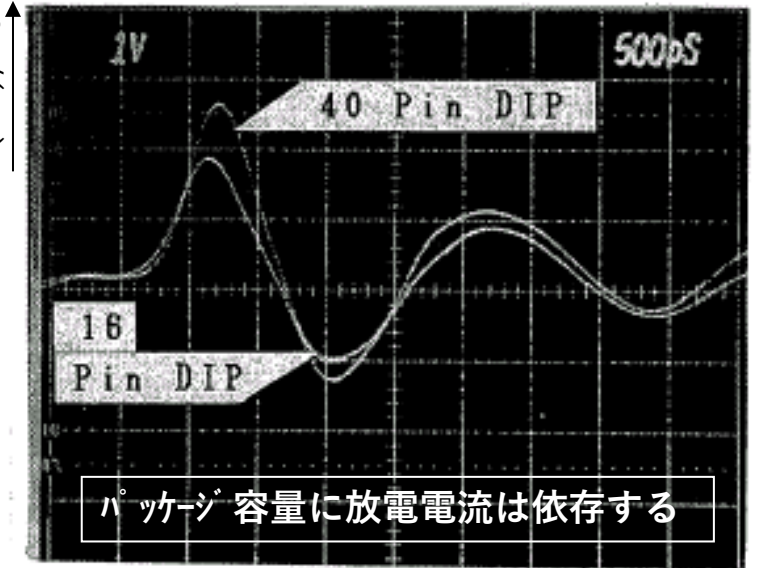
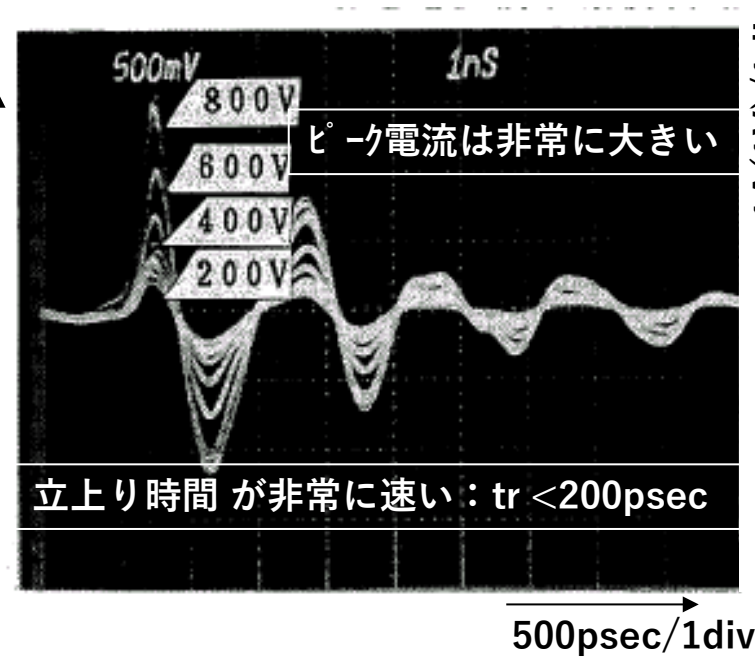
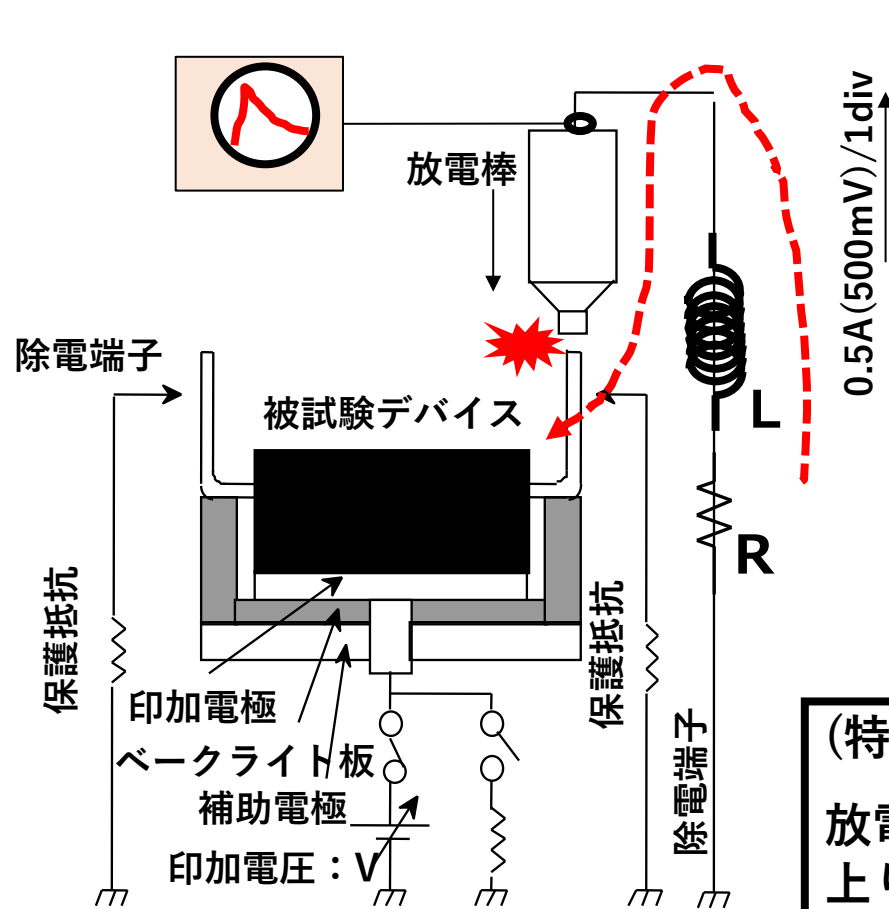


接合ダイオード入力保護回路



GGNMOS/GVPMOS入力保護回路

半導体デバイス(コンポーネント):取扱いによるESD損傷

(2)デバイス帯電モデル(CDM: **C**harged **D**evice **M**odel):放電波形の特徴と破壊現象

(特徴)

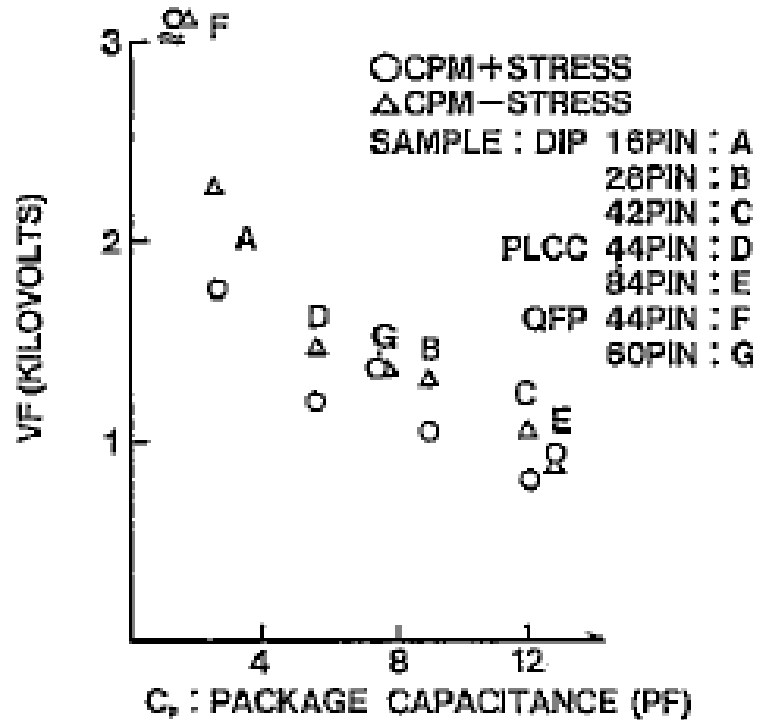
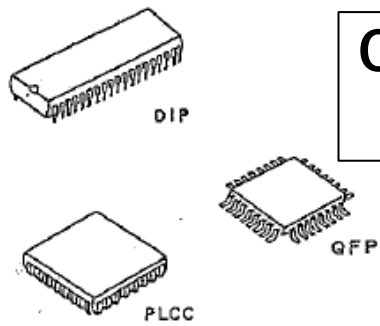
放電ピーク電流は非常に大きく、立上り時間は非常に速く ($tr < 200psec$)、パルス幅は短い (Rはもちろん、Lインダクタンス成分も非常に小さいことによる)

→主に電界的破壊となる

パッケージ帯電モデル(CPM)の試験方法

5) Y. Fukuda, "VLSI ESD Phenomenon and Protection", EOS/ESD Symp. 10th Annual Proc. 1988.9, p228~234

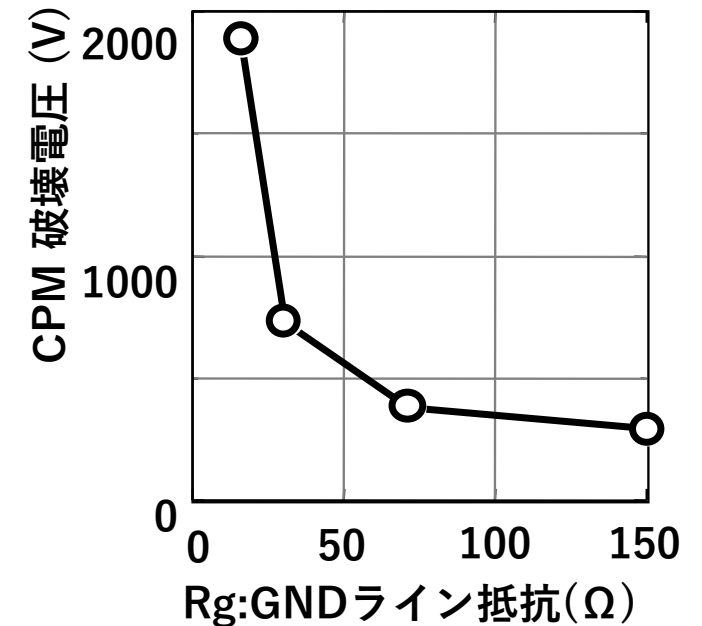
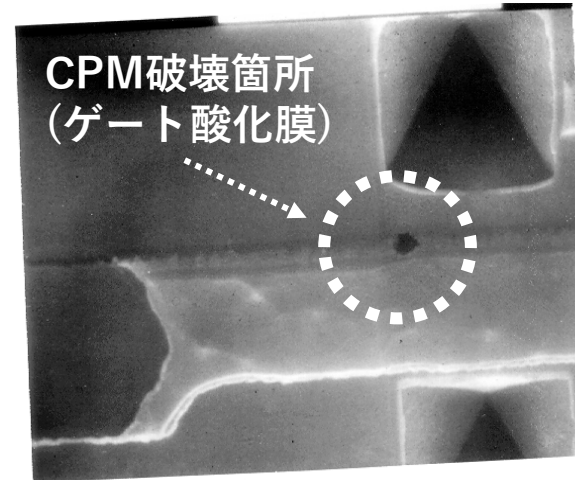
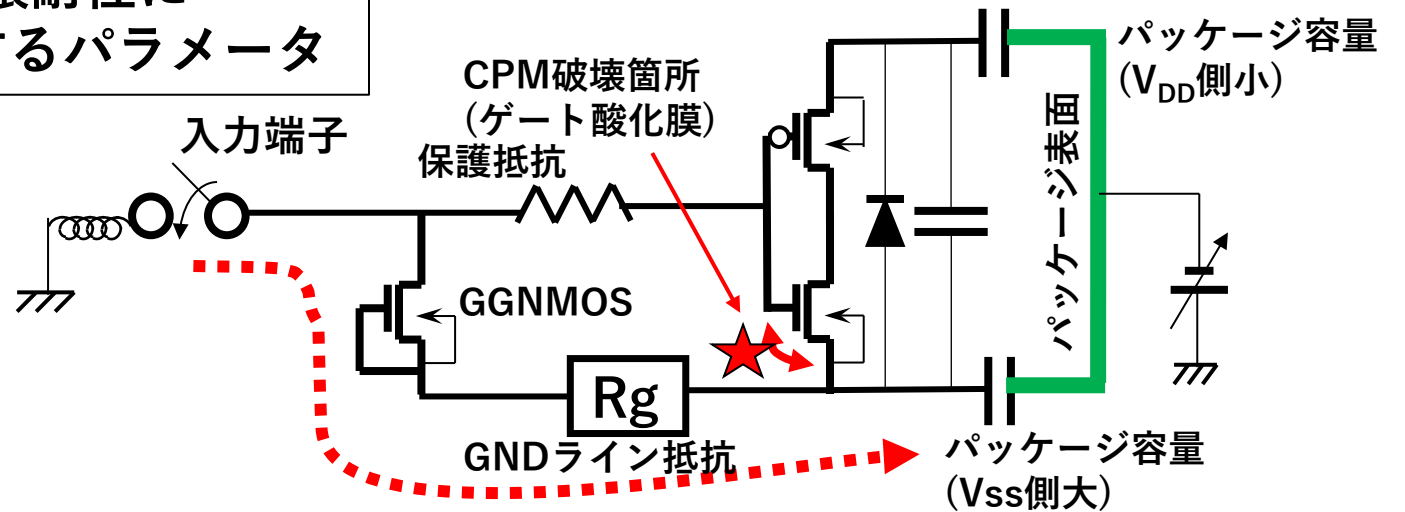
CDM(CPM)-ESD 破壊耐性に 影響するパラメータ



$VF=f(C_p)$: C_p : CAPACITANCE BETWEEN LEADFRAME AND PACKAGE SURFACE

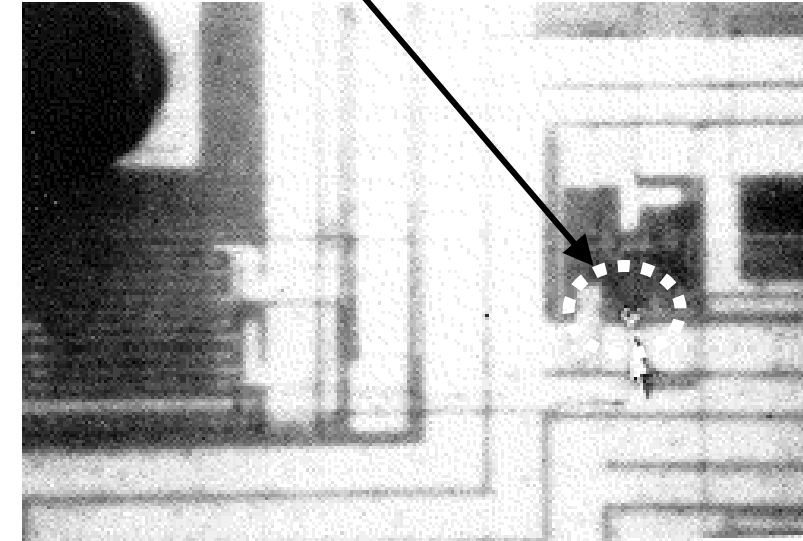
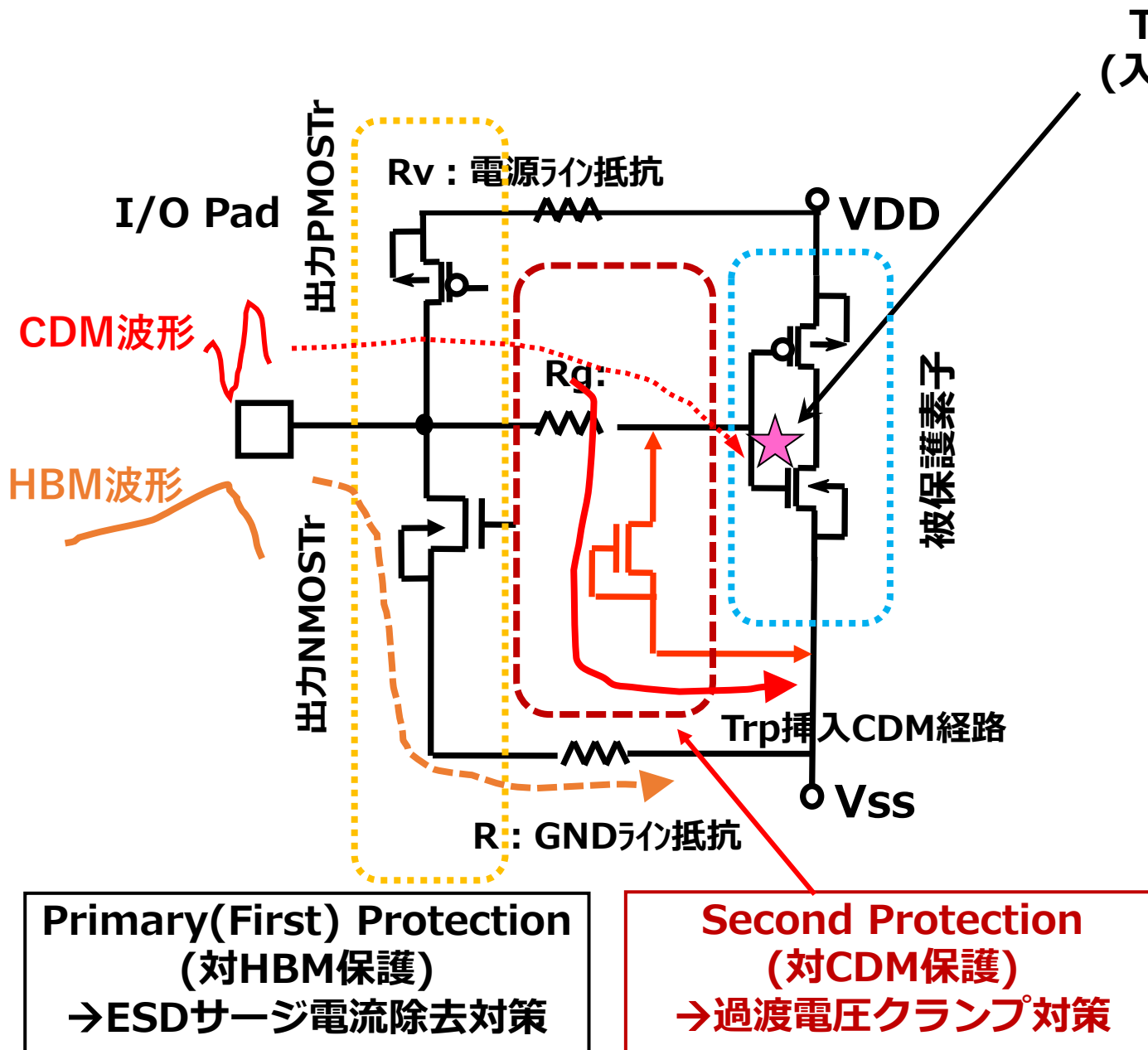
封入PackageのPackage容量が大きくなると、CPM(CDM)破壊電圧は低下する。

封入PackageによるCPM(CDM)破壊電圧依存



CPM(CDM)破壊箇所及び破壊電圧のGNDライン依存性

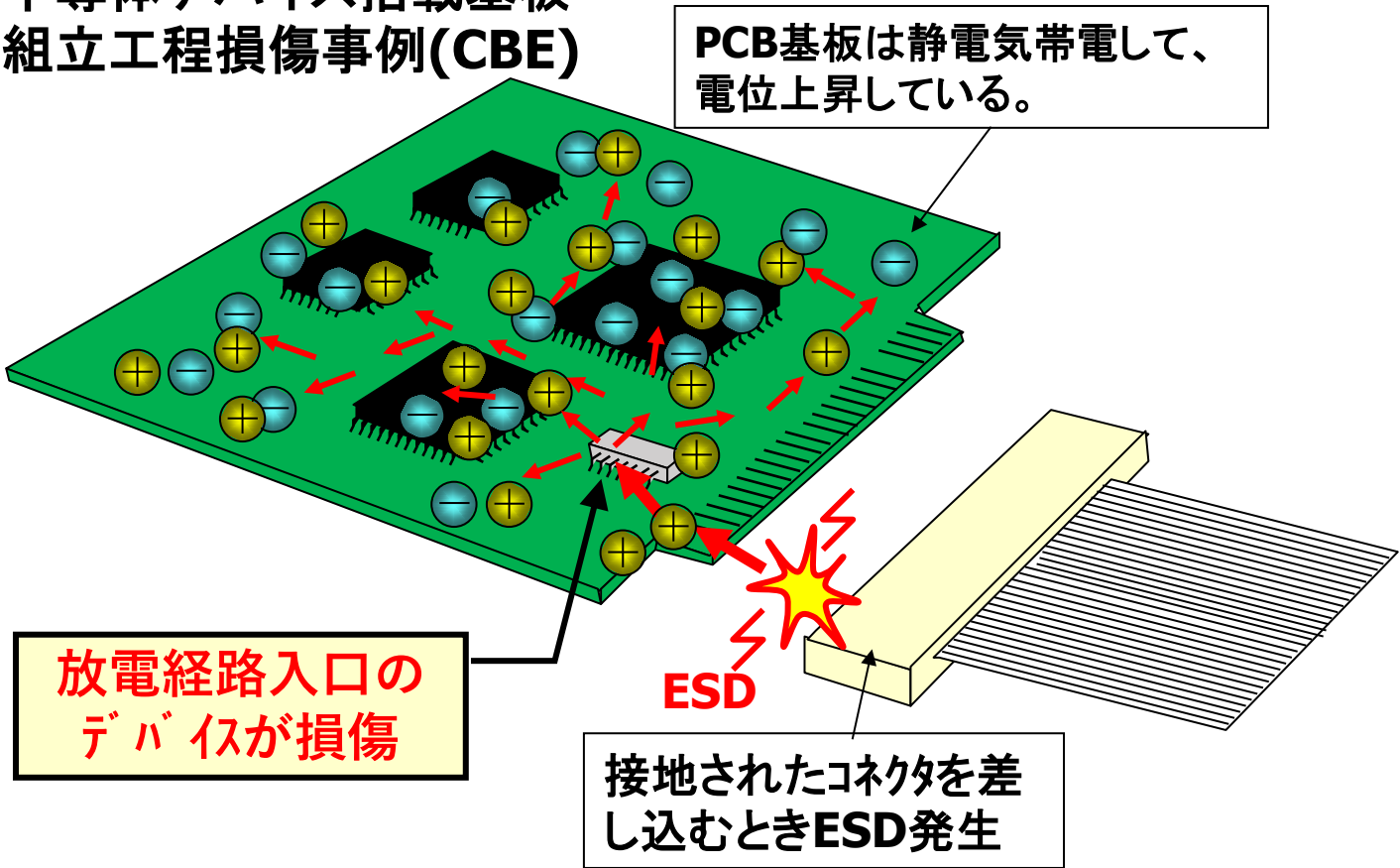
6) Y. Fukuda, "ESD Protection Network Evaluation by HBM and CDM (CPM)", EOS/ESD Symp. 8th Annual Proc. 1986.9, p193~199



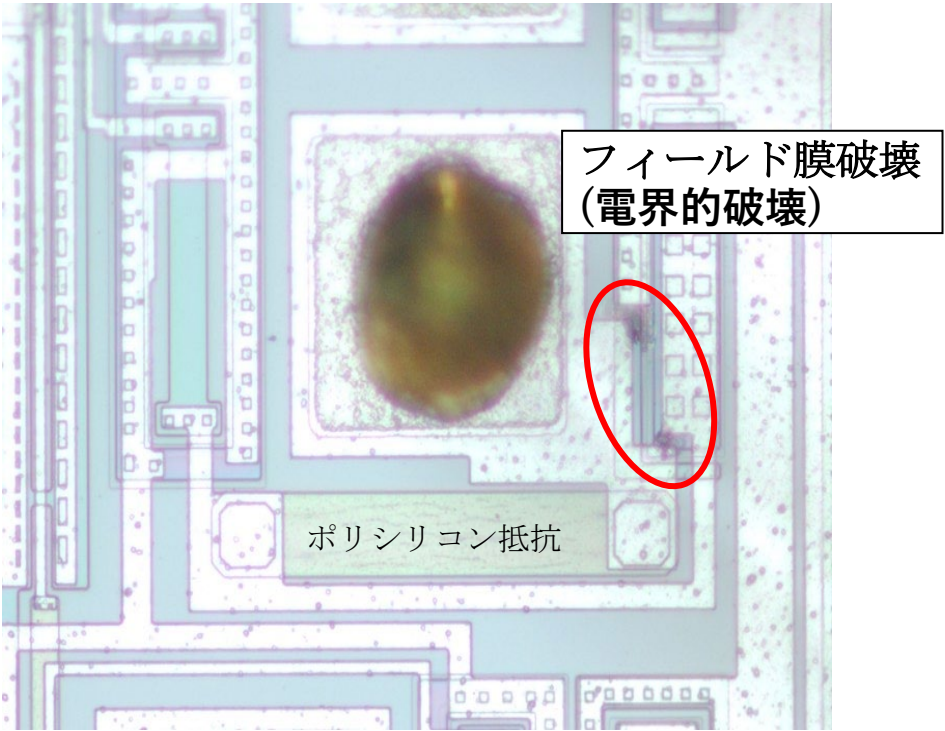
Second Protection の構成	CPM破壊電圧
Rg のみの設置	850V
Rg+Trpの設置	>2000V

基板・モジュールレベル静電気損傷現象
プリント基板電氣的検査工程におけるESD(CBE)現象

半導体デバイス搭載基板
組立工程損傷事例(CBE)

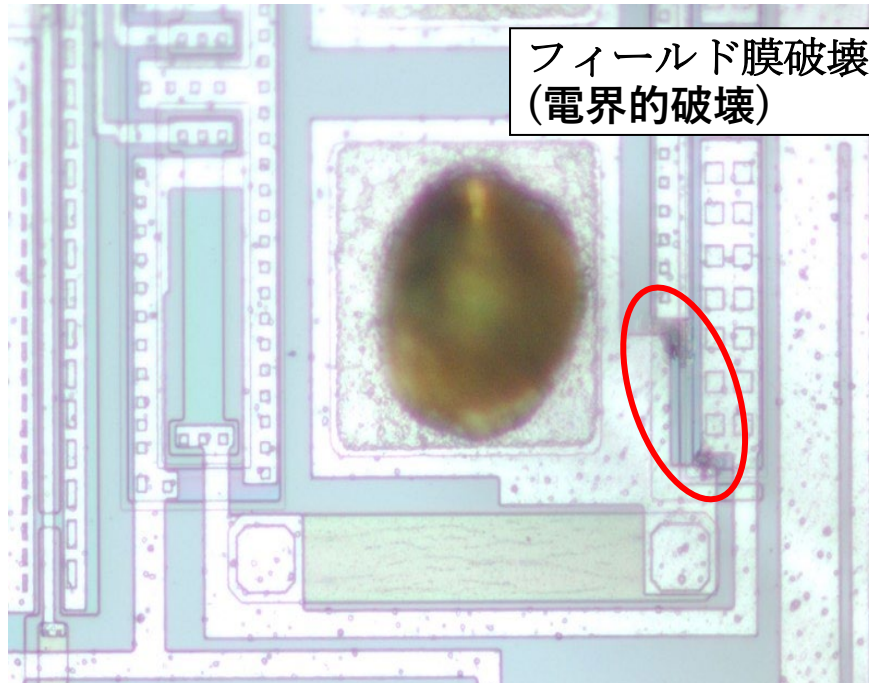


PCB基板組立工程ESD損傷

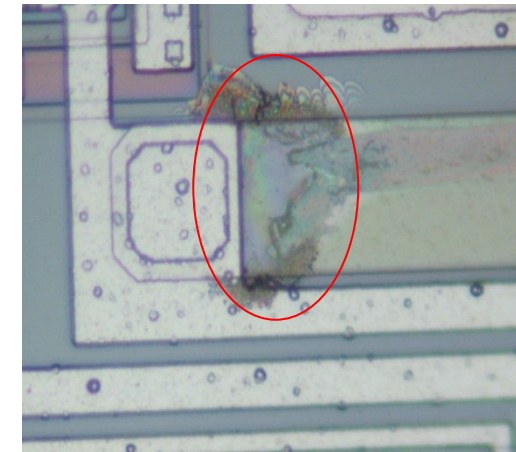


PCB電氣的検査工程CBE損傷箇所

ボード帯電現象(CBE)IC損傷とコンポーネントHBM,CDM損傷との比較



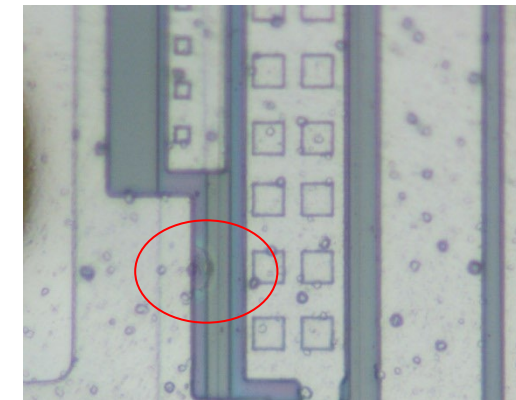
フィールド膜破壊
(電界的破壊)



HBM(人体帯電モデル)での破壊個所
ポリシリコン抵抗溶断破壊(熱的破壊)

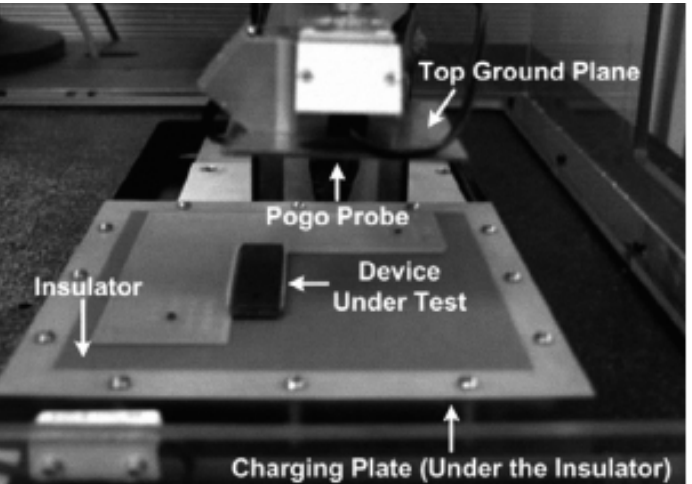
PCB電氣的検査工程CBE損傷箇所

HBMのような熱的破壊現象ではなく、CDMと同じ**電界的破壊**(フィールド絶縁膜破壊)。また破壊状態はCDMより明らかに激しいことから、CBE放電電流はCDMと同様に**立上りTrの速い、パルス幅の短い高速パルス**で、CDMより**大きなピーク電流 I_p** の大きな放電電流の流入となっていると想定される。

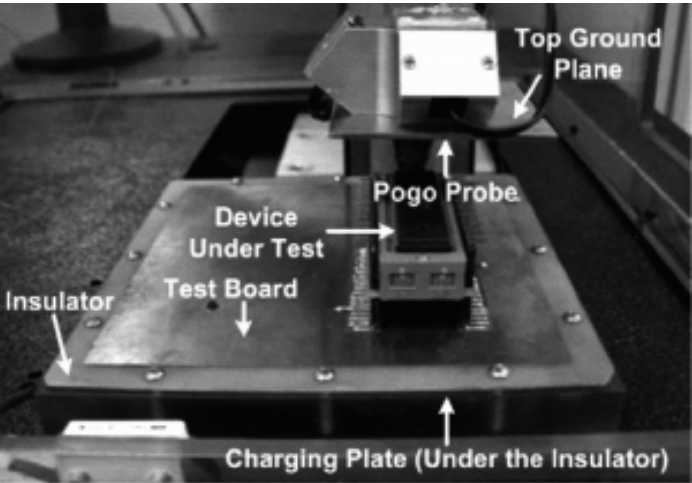


CDM(デバイス帯電モデル)での破壊個所
段差部絶縁膜断破壊(電界的破壊)

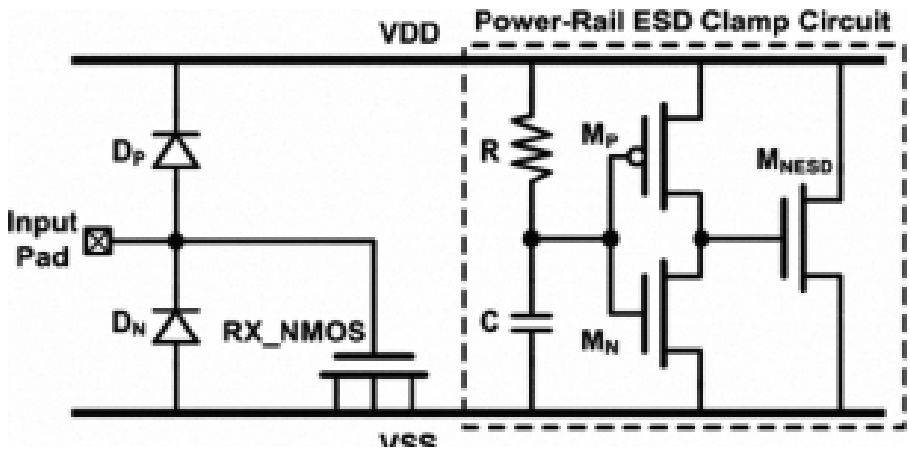
CBE搭載BoardによるCBE破壊現象及び ピーク放電電流値の放電ボード容量依存性



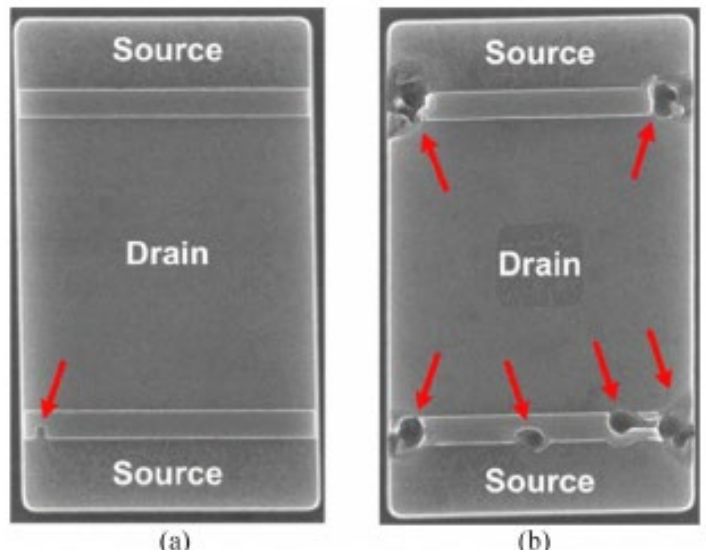
Chip LevelのFICDM試験装置



Board LevelのFICDM試験装置



RX NMOS (Dummy NMOS)回路図

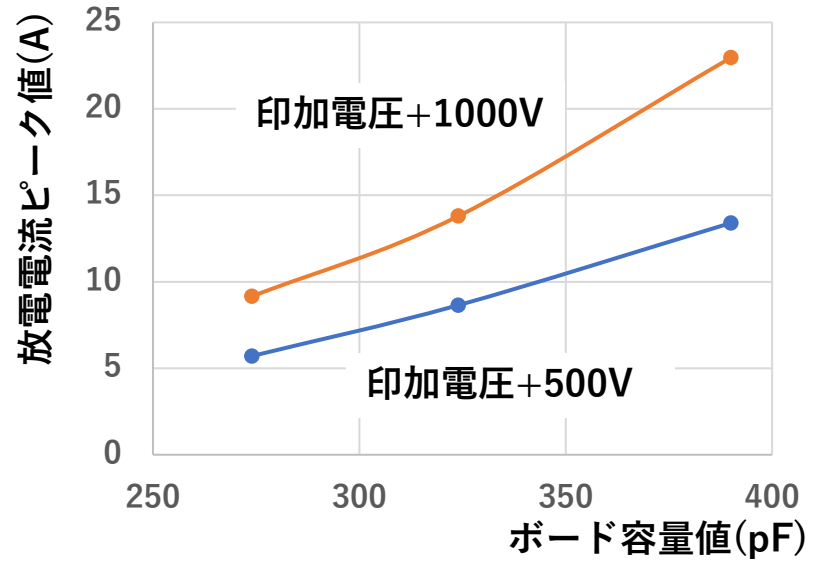


Chip-level CDM(a), Board-level CDM(b)試験でのGate酸化膜破壊SEM不良写真

Table 1
Characteristics of Three Different PCBs

PCB Type	PCB_1		PCB_2		PCB_3	
PCB Size	12.5 cm x 12.5 cm		15 cm x 15 cm		15 cm x 15 cm	
Board Capacitance	274 pF		324 pF		390 pF	
Charged Voltage	+500 V	+1000 V	+500 V	+1000 V	+500 V	+1000 V
Peak Current	5.71 A	9.16 A	8.65 A	13.8 A	13.41 A	22.96 A

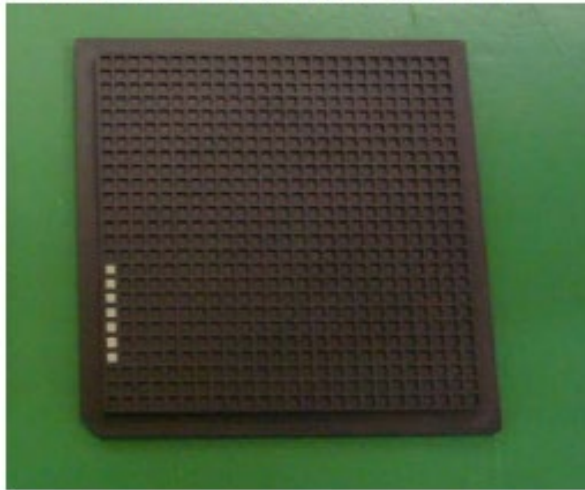
ピーク放電電流値のボード容量依存性



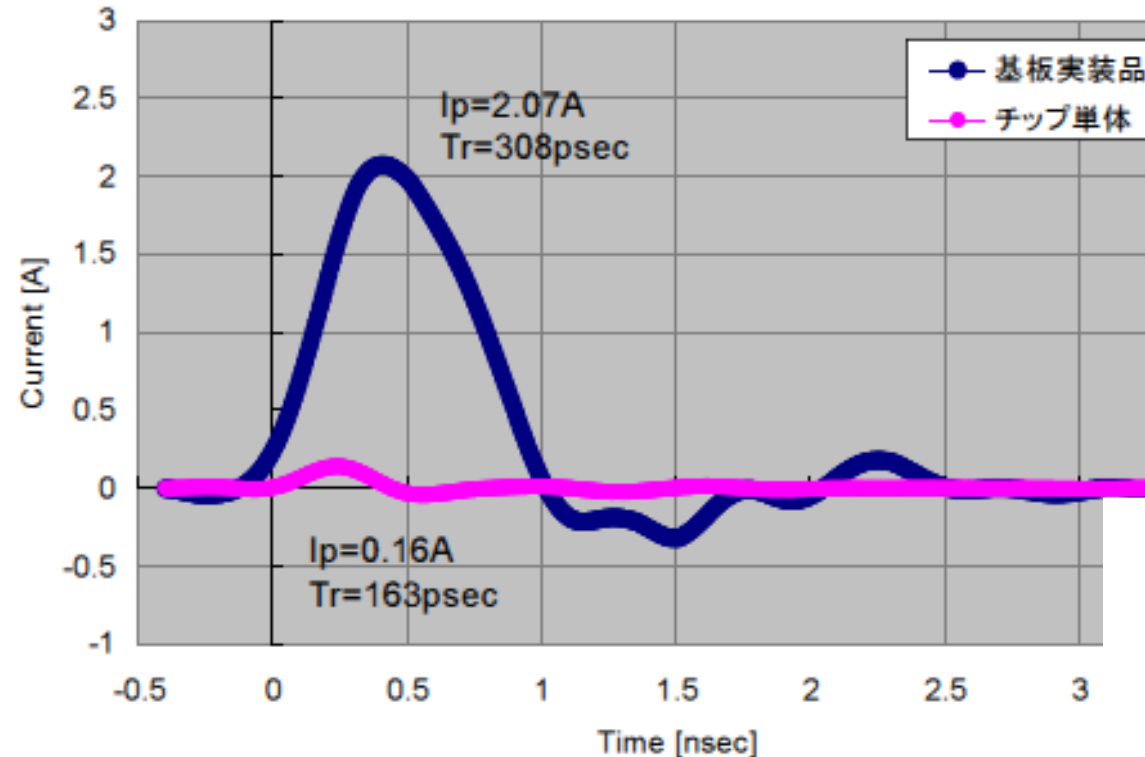
ボード容量とプリント基板CBEピーク放電電流値は、正の相関を持つため、大きなボードに搭載される方がCBEストレスは大きくなる。

FI-CDM/CBE試験放電電流比較

WLCSP単体 (1.1×1.1×0.35mm)



FI-CDM +250V 放電電流波形 (チップ単体 vs 基板実装品)



WCSP単体：
 $I_{peak} \sim 0.16A$
 $T_r \sim 0.16nsec$

基板実装品：
 $I_{peak} \sim 2.07A$
 $T_r \sim 0.31nsec$

基板実装品 (約12×12mm)

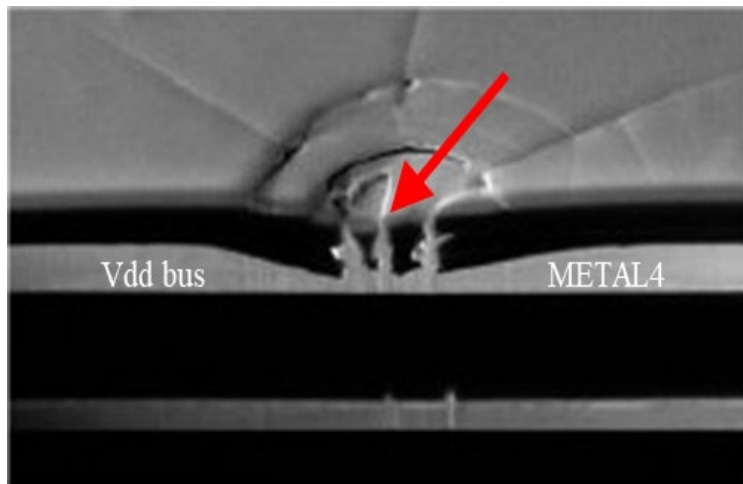
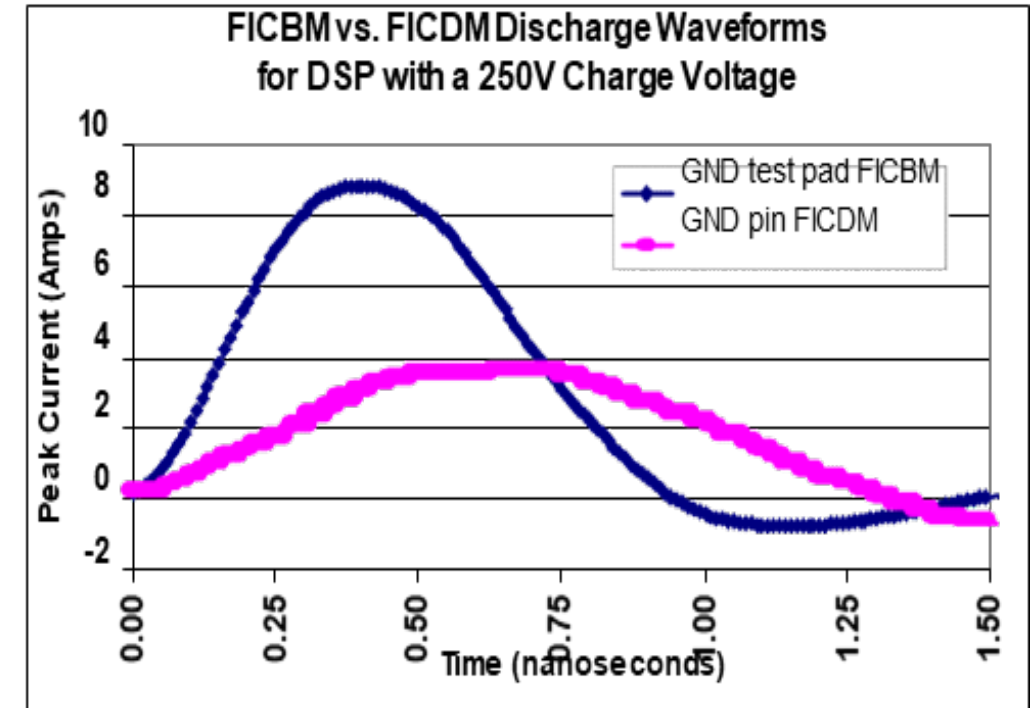
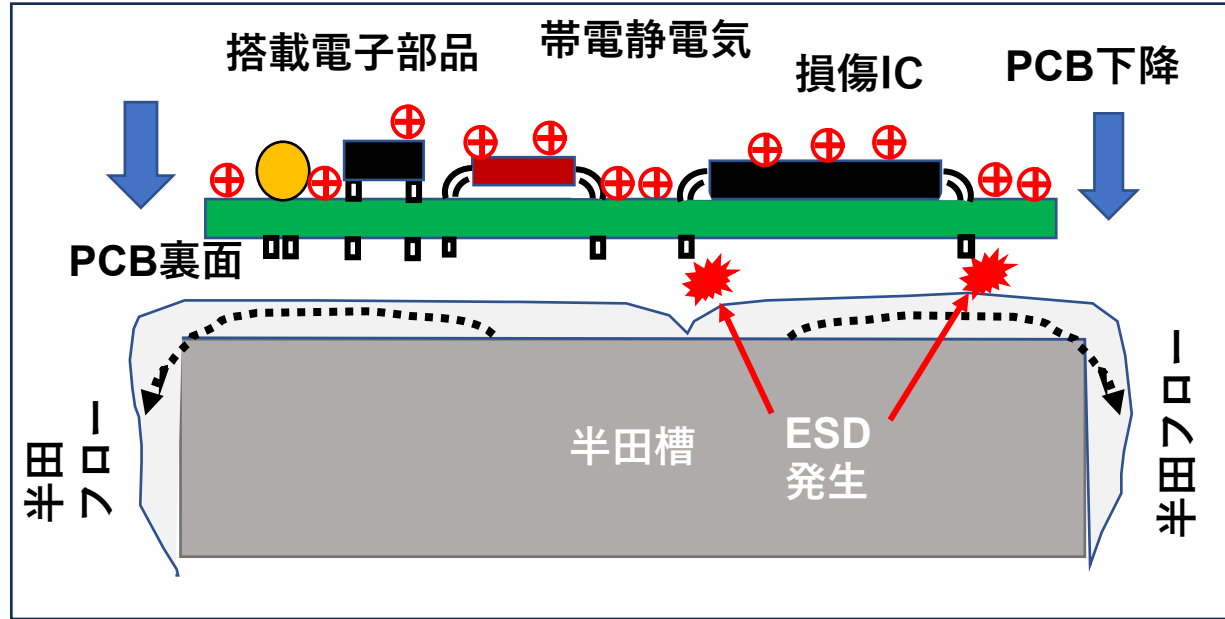


WLCSP: Wafer Level CSP

WLCSP 基板実装品のFI-CBE放電電流波形は、コンポーネント状態におけるFI-CDM放電電流波形に比較して、 **I_{peak} は非常に大きく(約12倍)**、**立ち上がり時間 T_r は遅く(約2倍)**になっている。 **I_{peak} は基板容量の増加**によるもので、 **T_r は放電経路のL:Inductance増加**によるものと考えられる。破壊StressはCBEでの場合の方がはるかに強く、また T_r は2倍程度に遅くなっているが、HBM等の T_r よりはるかに速いため、一般的には電界的破壊現象が発生しやすくなると想定される。

プリント基板半田処理工程におけるCBE現象

半田処理工程



故障状況

1. 顧客半田工程処理にて、DSP部品が数百ppm程度故障発生。
2. 故障モードは一部回路ブロック機能不良。
Vdd Bus Line溶融現象

CBE再現実験とFI-CDMとのGND端子放電における放電電流波形比較。放電ピーク電流 I_p が大きく、立上り T_r は速くなっている。(CBE再現実験では、GND端子は共通short状態なので、FI-CDM試験に比較して、GND配線のL:Inductanceが小さくなっているため)

CBE(Charged Board Event)は、PCB本体、搭載部材が静電気帯電することによって、PCB全体が静電位誘導し、PCB上の金属・導体端子部が、外部接地導体等と接触することにより発生するESD現象。(PCBはフローティング状態)

このESD現象により発生するサージ電流が、PCB導体部に流れ込んで直接IC等、搭載部品に損傷を与えたり、PCB内での**二次的気中放電現象**を伴いながら搭載部品に損傷を与える。

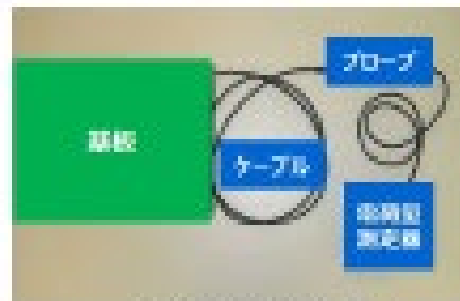
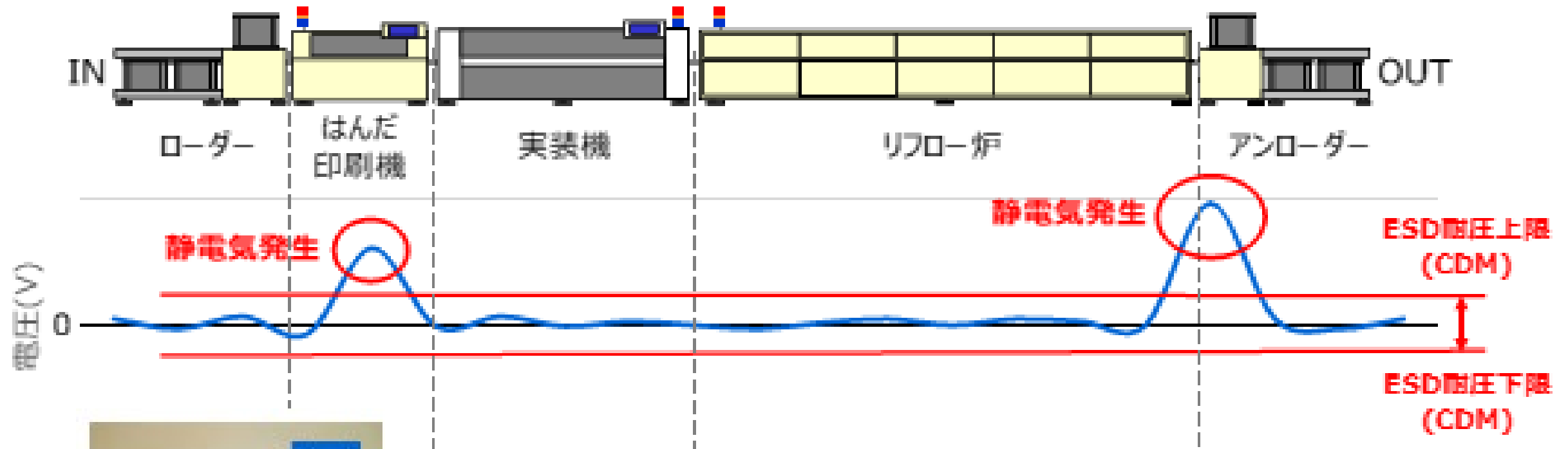
CBEの放電容量はPCB、電源配線面積等の大きさに依存するが、一般的には部品単体よりも大きくなる。従って、放電電流波形は、① **I_{peak}** はCDM(Charged Device Model)に比較すると、**かなり大きくなる**。②立上り **Tr** は、CBE発生工程の**ESD放電経路に依存**し、CDMに対し速くも遅くもなる。

→ 一般的にCBE現象で、LSI に発生する損傷は、電界的破壊が主体のCDM損傷に似ているが、より激しい損傷状態となると考えられるが、PCB内での二次放電現象等も含め、**放電経路**に依存する。

→ 損傷するLSI等搭載部品へ流入する放電電流は立上りTrの速い高速パルスが流入しての電界破壊損傷になりやすいため、**R、L等の直列インピーダンス挿入**あるいは**高速TVS挿入**等により保護されることが想定される。

静電気発生箇所の特定, 改善事例：表面実装工程

はんだ印刷機内, リフロー炉とアンローダー間で大きな静電気の発生を確認



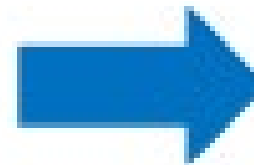
測定対象物

表面実装工程における電荷測定(基板帯電電圧)

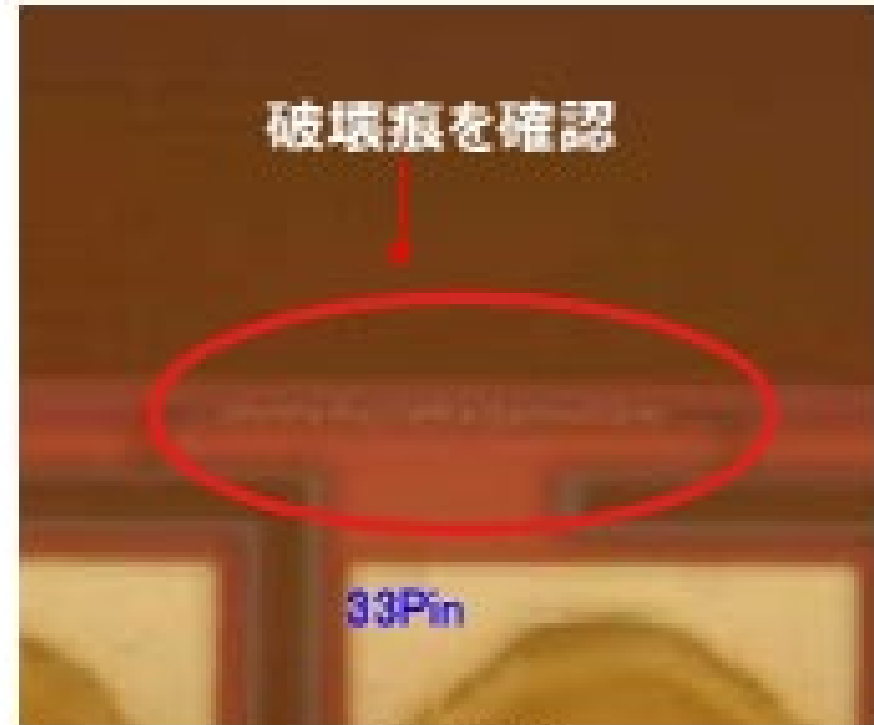
故障開所解析



20倍像



拡大



100倍像

ほとんどの半導体デバイスでは、特定箇所にCDM/CBEが原因と推測される破壊痕が観察された

静電気発生箇所の特定, 改善事例：表面実装工程

コンベア速度を最適することにより改善

■ 原因および改善2：リフロー炉とアンローダー間で静電気発生

<原因>

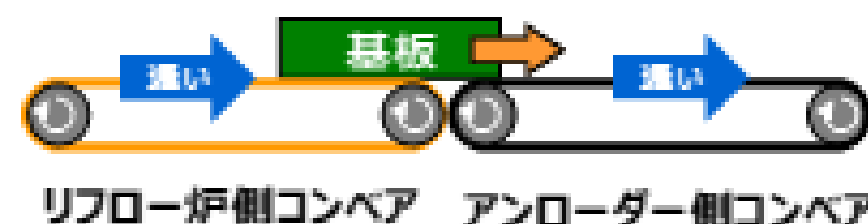


アンローダー側のコンベア速度が速く、
基板とコンベアの摩擦により帯電



改善前測定結果(例)

<改善>



アンローダー側のコンベアを低速へ変更
前後コンベアを最適化



改善後測定結果(例)

改善

プリント基板輸送工程におけるCBE現象

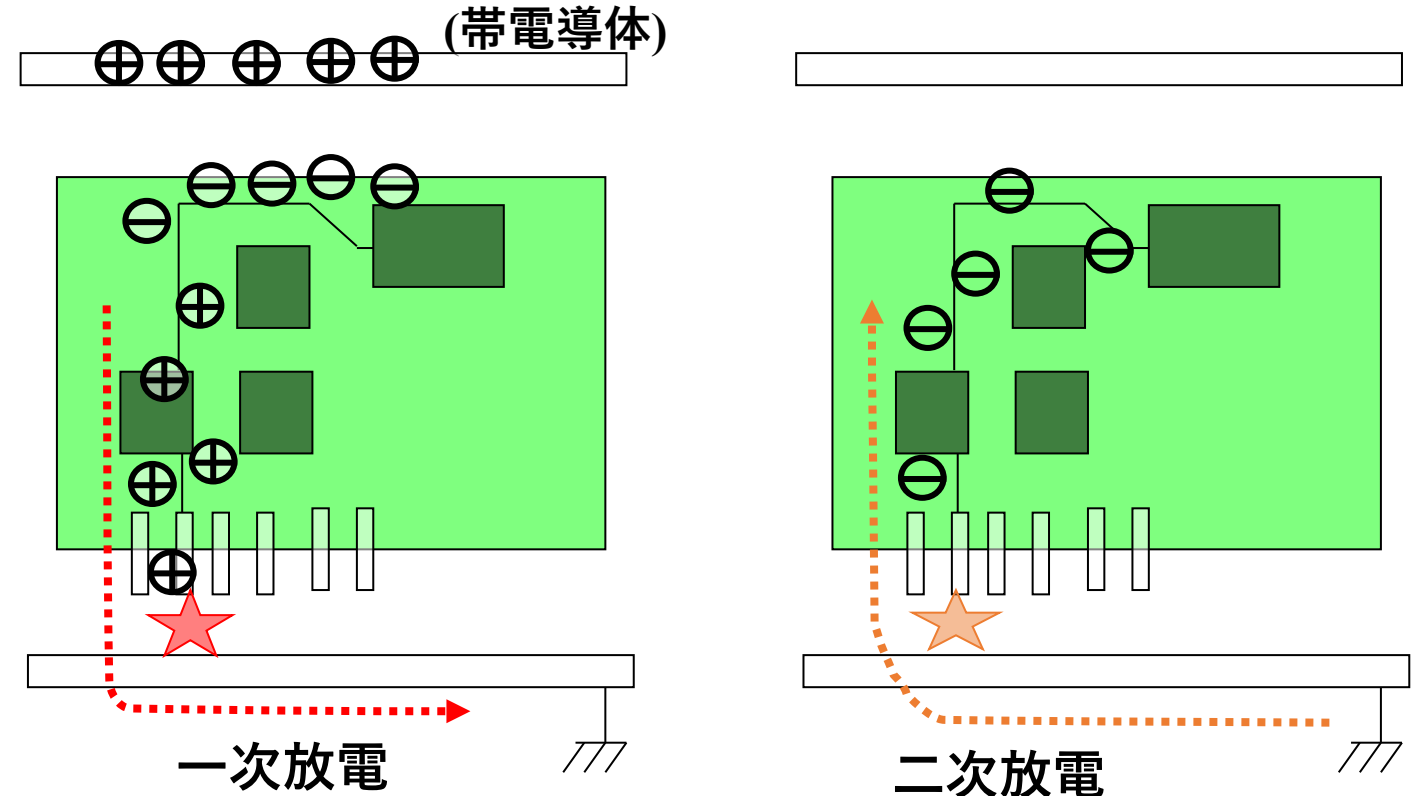
コンベア輸送による自動化ライン



プリント基板組立、半田処理、検査工程等、殆ど自動輸送工程であるため、プリント基板の取り扱いの静電気障害としては、プリント基板自体の帯電から外部へのESDによる障害が主体と想定される。

CBM誘導現象現象

外部帯電導体あるいは外部帯電絶縁体が、部品搭載基板を電位誘導させている。



部品搭載基板搬送工程での二次放電放電CBE現象：部品搭載基板も静電気帯電しやすい絶縁体素材であるので、帯電導体の代わりに基板内絶縁体が、固定誘導体となる場合もある。

市販自動CBE試験装置による試験ボード状態とCBE放電電流波形

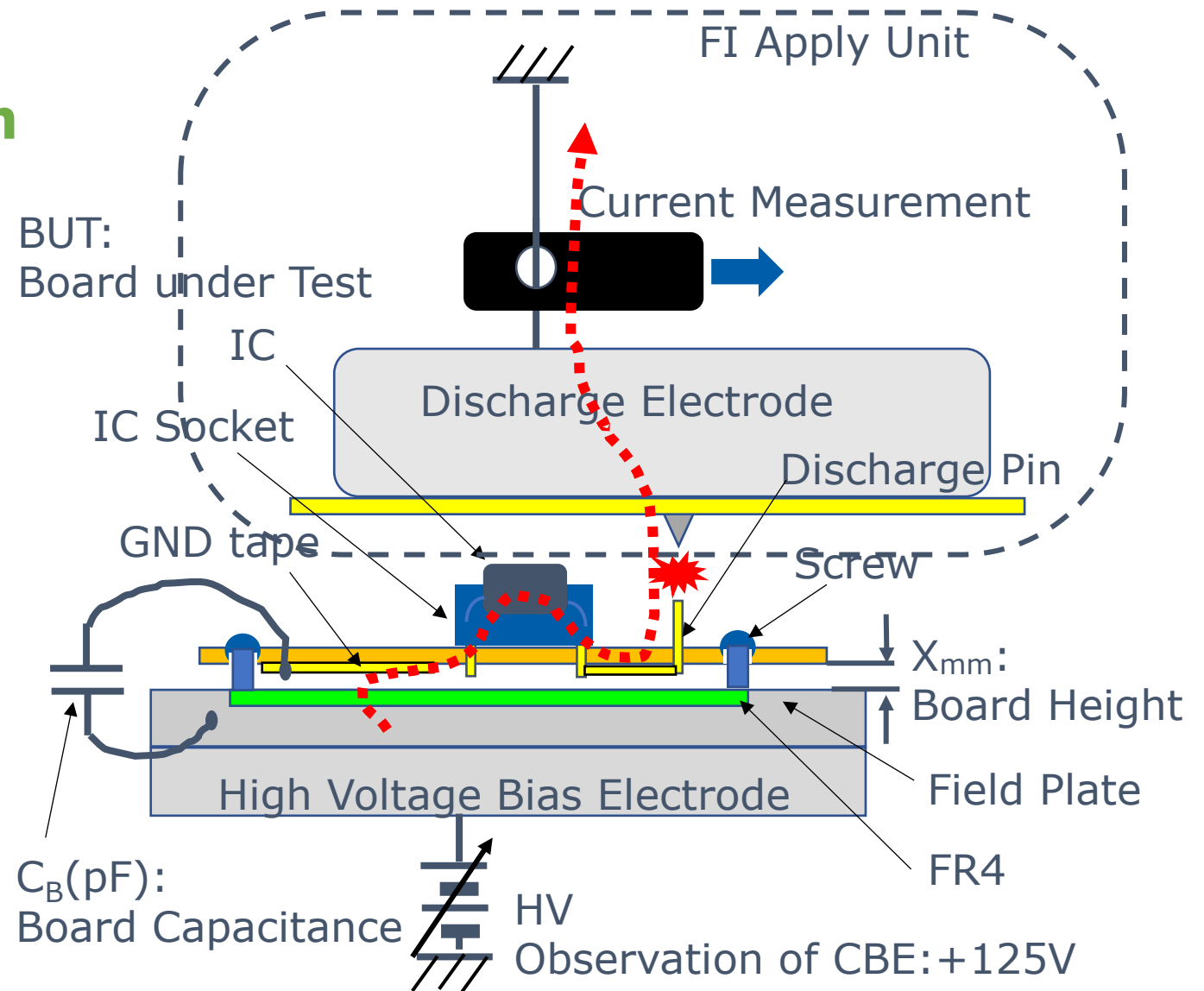
Automatic CBE Test System (HED-CB5000)

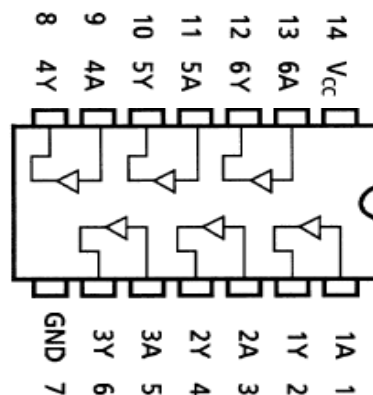
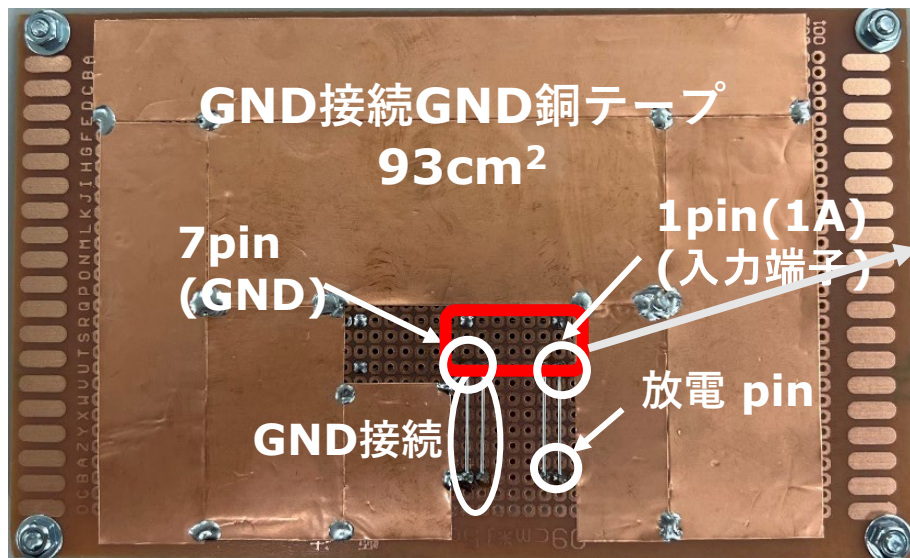
Spec: JS-002 FI-CDM

FI Apply Unit

Board under Test: BUT

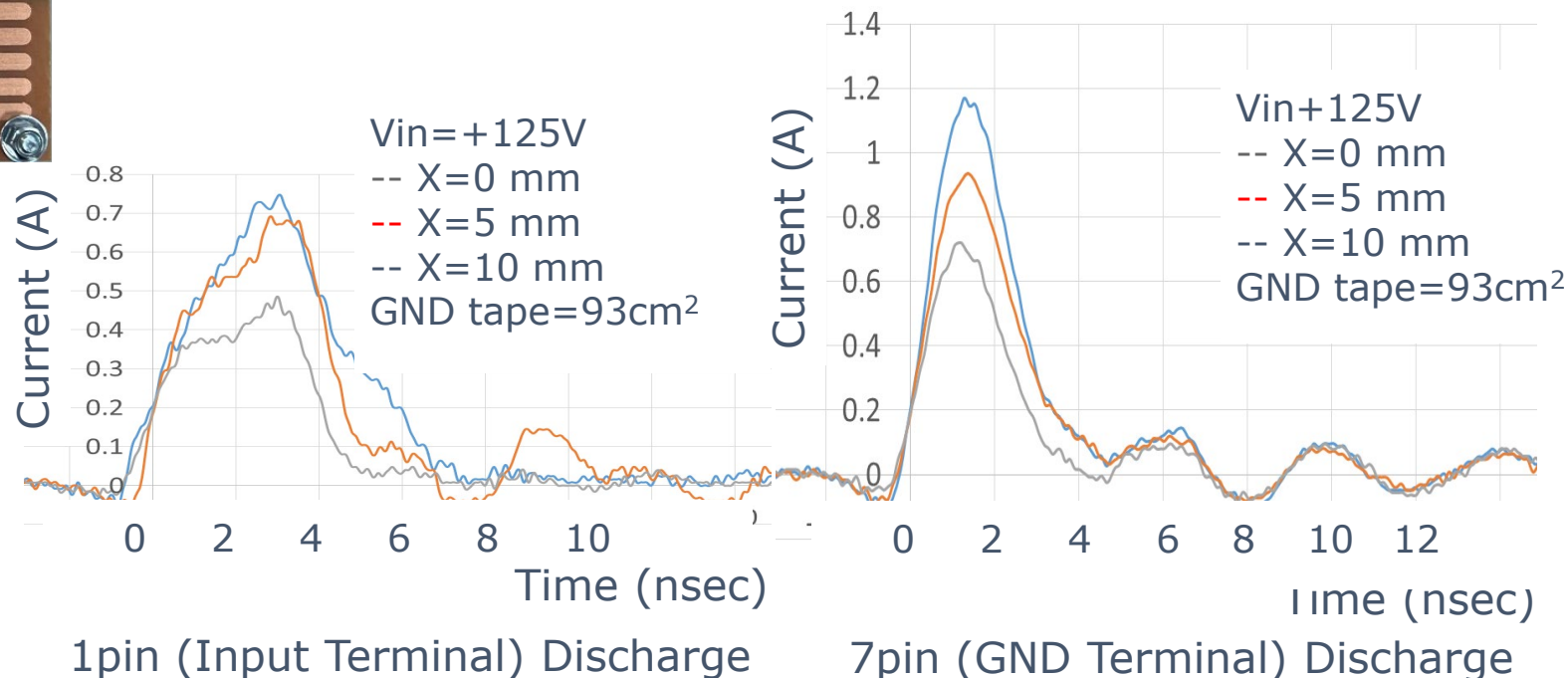
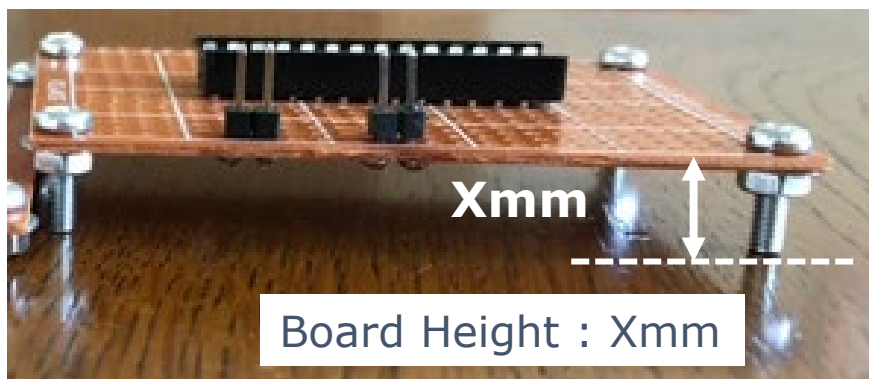
Field Plate





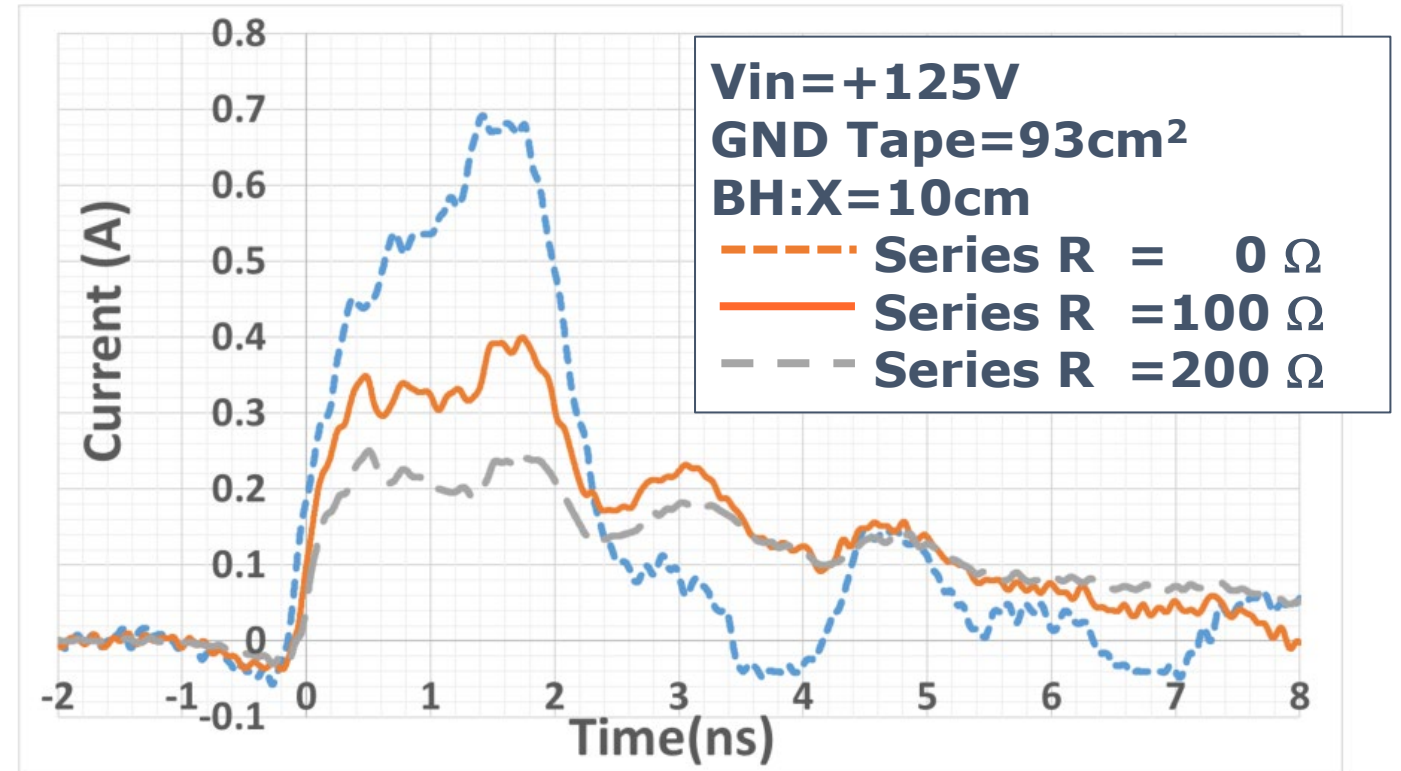
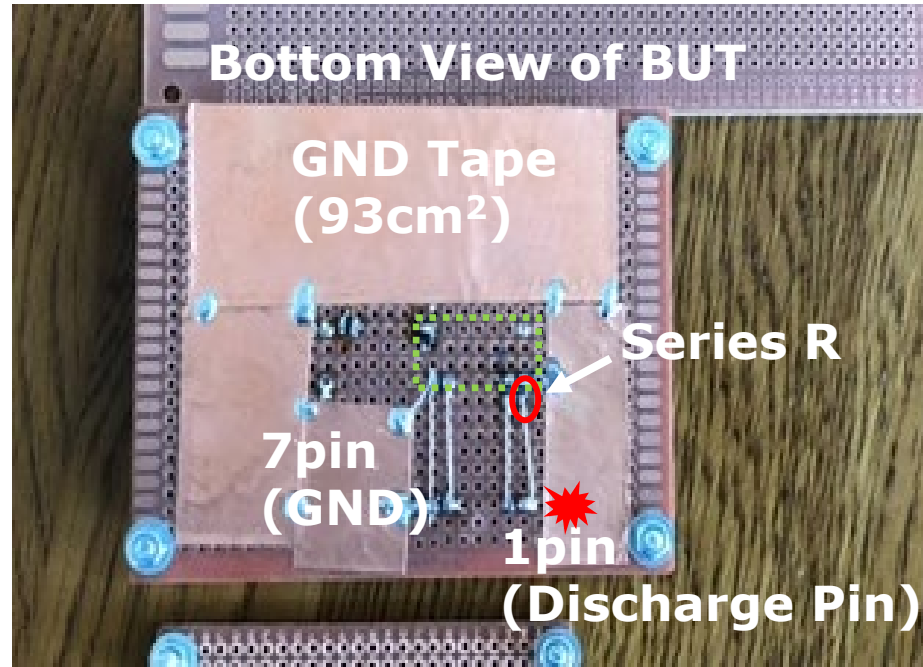
74HC07AP 1A-1Y Circuit

試験ボード品の裏面とGND面

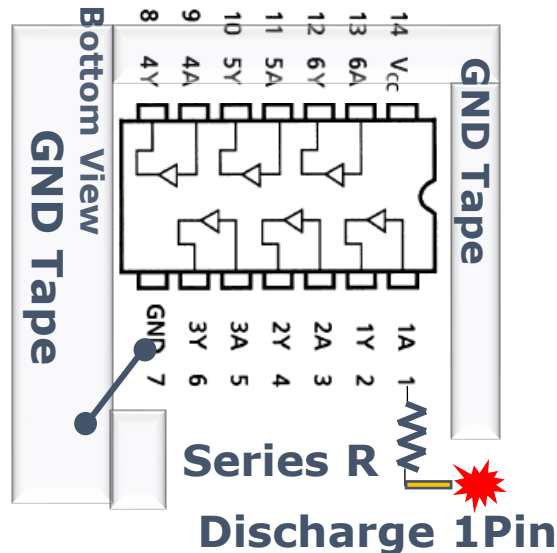


CBE放電電流波形：GND端子放電、入力端子放電のどちらの場合も、放電電流量全体としては、ボード静電容量に正相関するが、放電経路が異なるため、放電電流時間依存性に特有の波形となる。

CBE 外部接続抵抗(R)による放電電流波形依存性

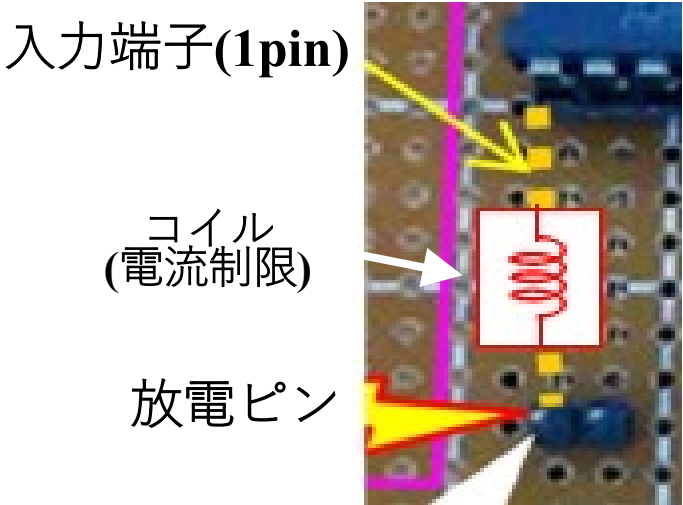


1pin (A1/入力端子)放電電流波形の
外部接続抵抗値(R)依存性

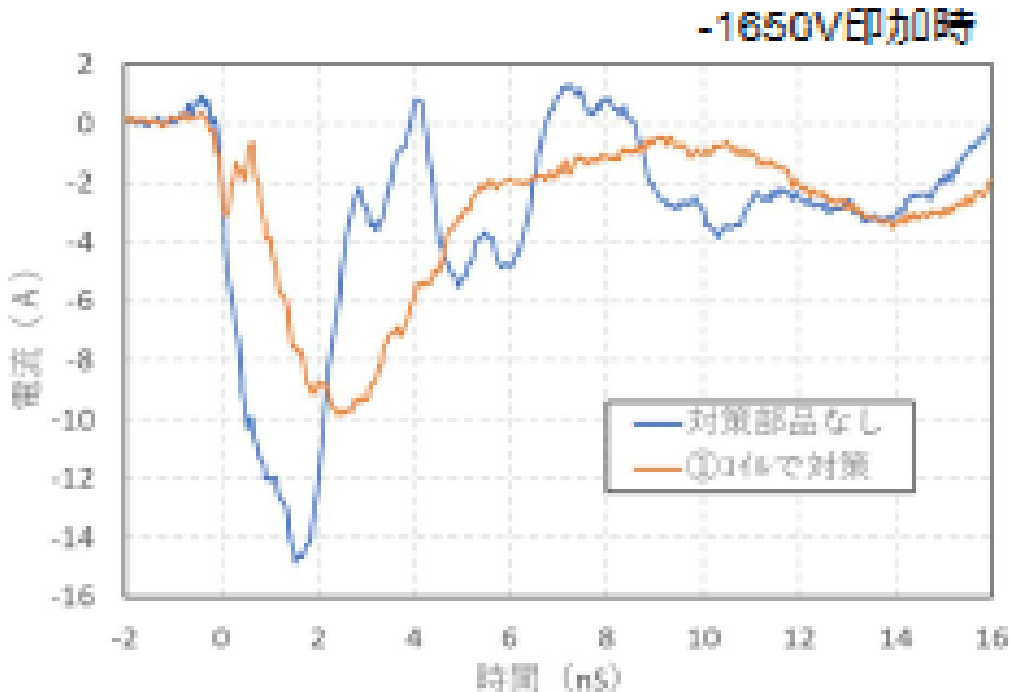


外部接続抵抗(R)挿入によってCBE耐性向上が期待される

入力端子CBEに対する直列コイル挿入効果



CBE電流波形(対策ありなし)



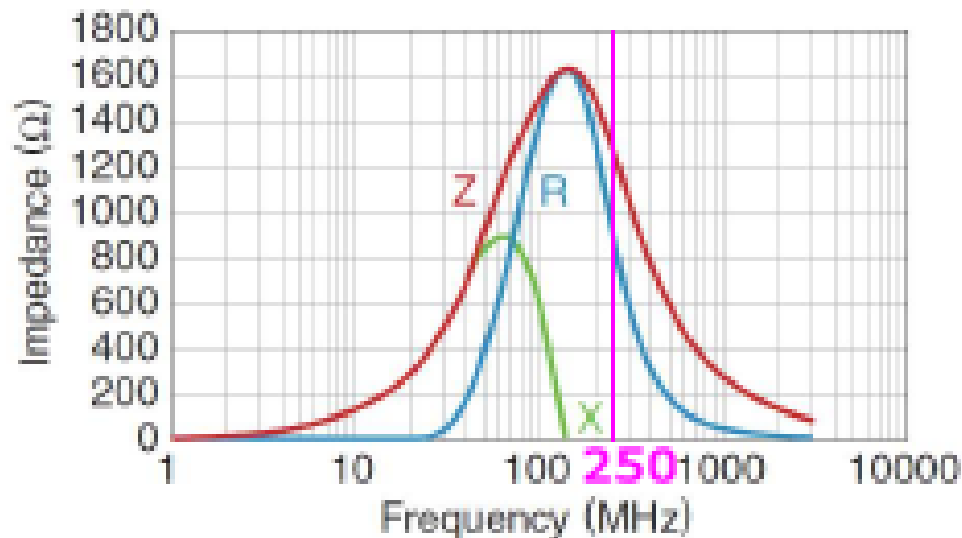
コイルによるピーク電流低減を確認

対策部品	破壊特性
なし	-1650Vで破壊
①コイル	-3000Vで破壊せず

コイルの適用により破壊耐性向上

チップコイル

XXXXXXXXXXXXXXXXXXXXX (1500Ω@100MHz)



Floating状態の取扱い
によるESD損傷

コンポーネント

1. a. 外部帯電物からのESD
b. デバイスからのESD
c. 外部電圧誘起現象
2. 公的規格
JEDEC/JESD22-A119C/ESDA
3. 工程管理対策→EPA規定

HBM
CDM

基板/モジュール

1. 帯電基板からのESD
CBE(Charged Board Event)
 - 組立工程自動化による
 - 組立、検査工程による個別現象
2. 各工程固有の耐性評価、静電気管理の必要性

CBE

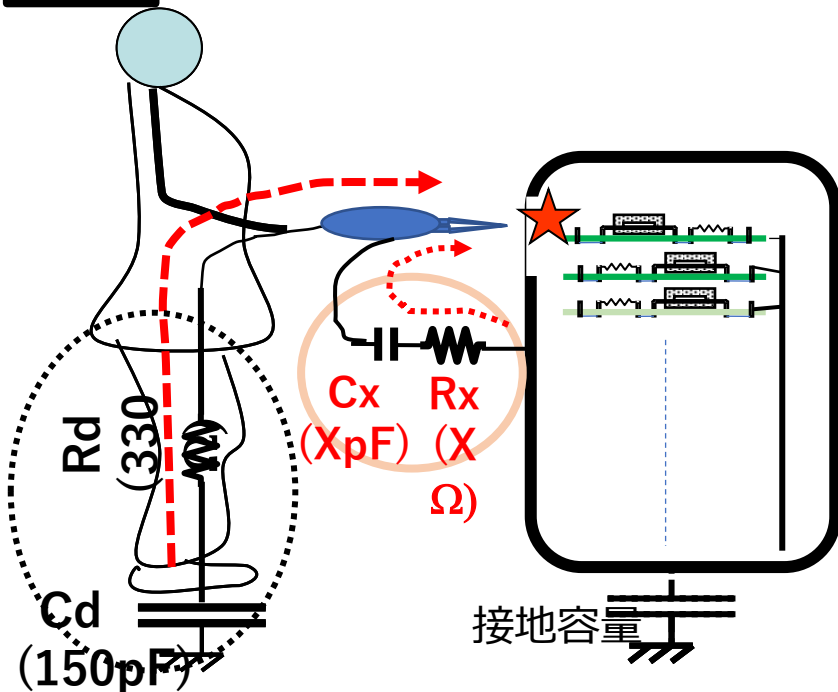
電子システム

1. 帯電人体(HBM)からのESD流入
2. ESD Immunity公的試験
(IEC61000-4-2)
(ISO10605:Human ESD Model)
→ 誤動作

System-HBM

1. システムのUSB設置、基板修理時、外部帯電物体のESD
HMM(Human Metal Model)
2. IEC61000-4-2
ISO10605 (?)
3. 耐性手法→SEED設計提案
(ESD Council white paper3)

HMM

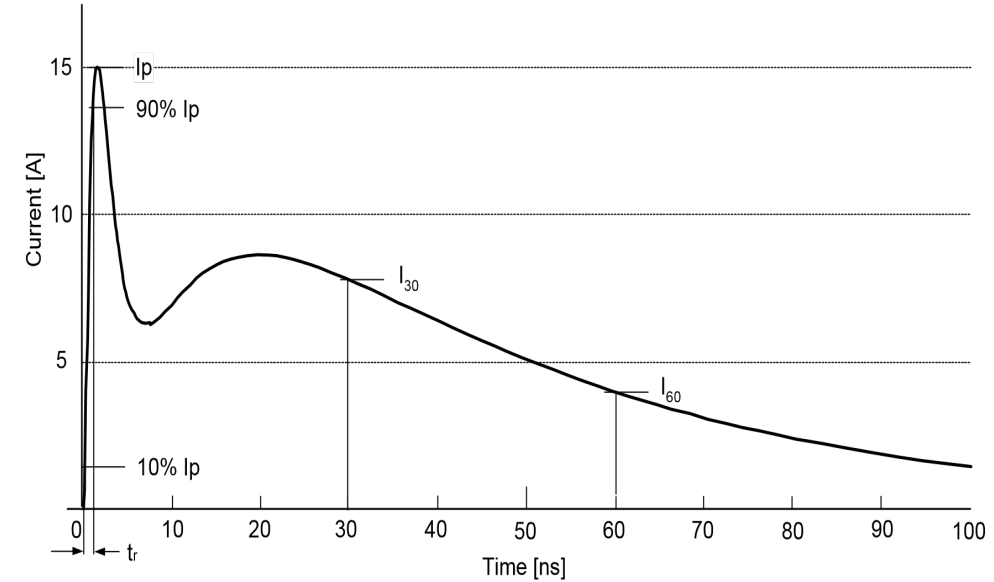
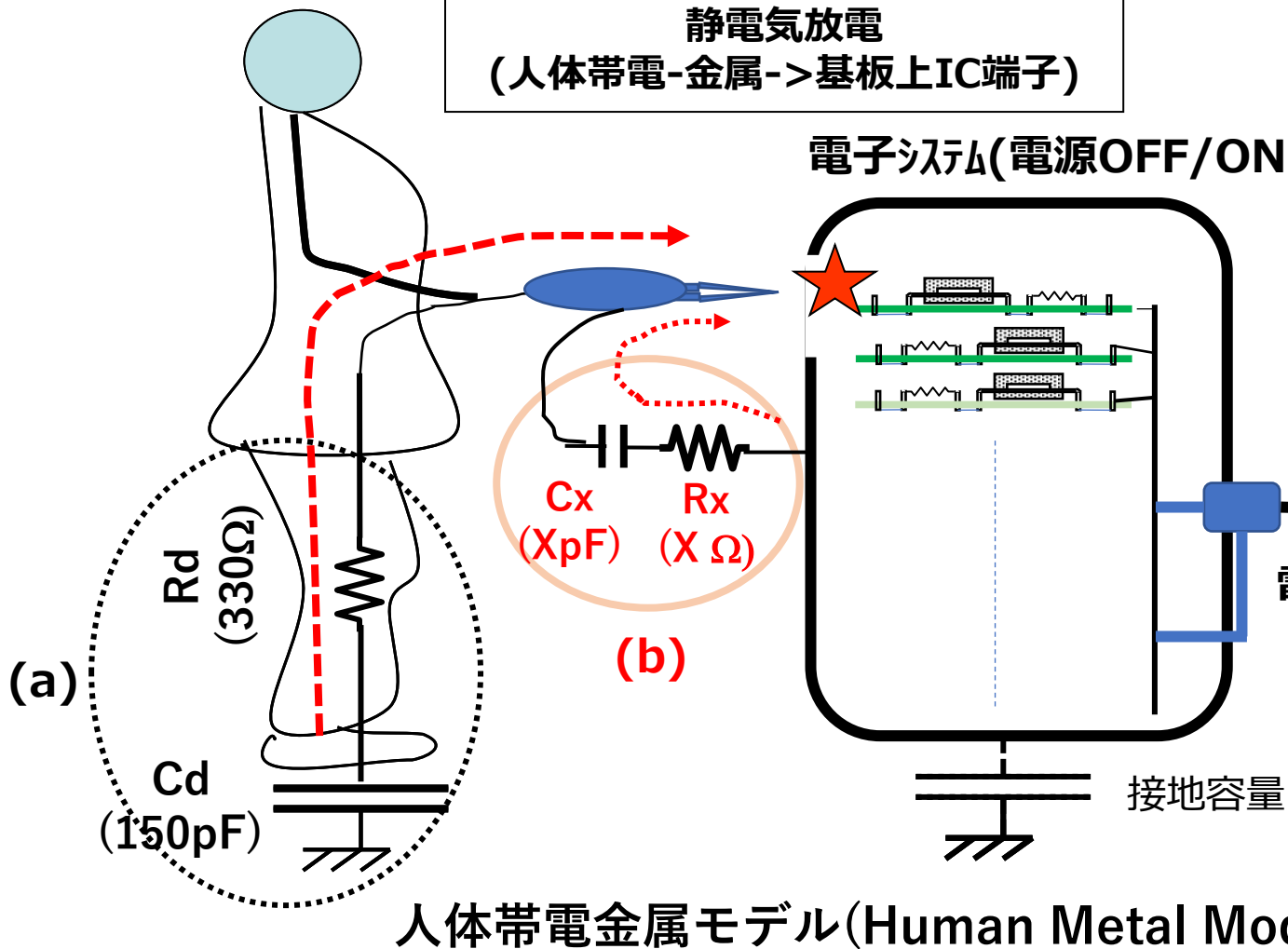


電源ライン接続システム挿入状態における
外部ESDサ-ジ流入による障害

電子機器(System Level)のIC直接接続端子(USB etc)へ、修理などでの直接HBM(Human Body Model)放電による損傷現象
→ HMM (Human Metal Model)

静電気放電
(人体帯電-金属->基板上IC端子)

電子システム(電源OFF/ON)

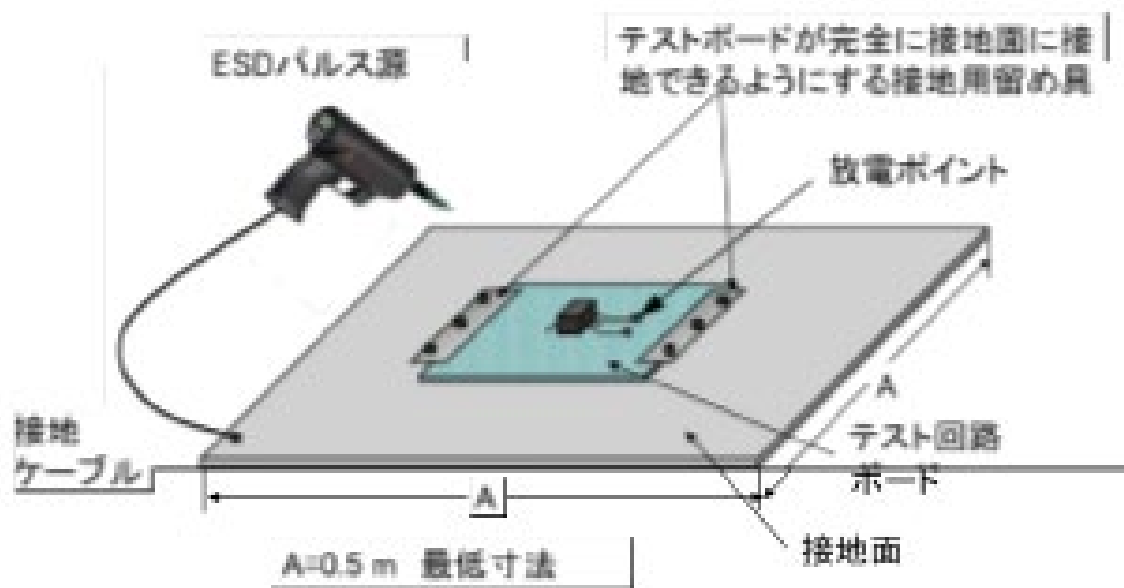


放電電流波形概要

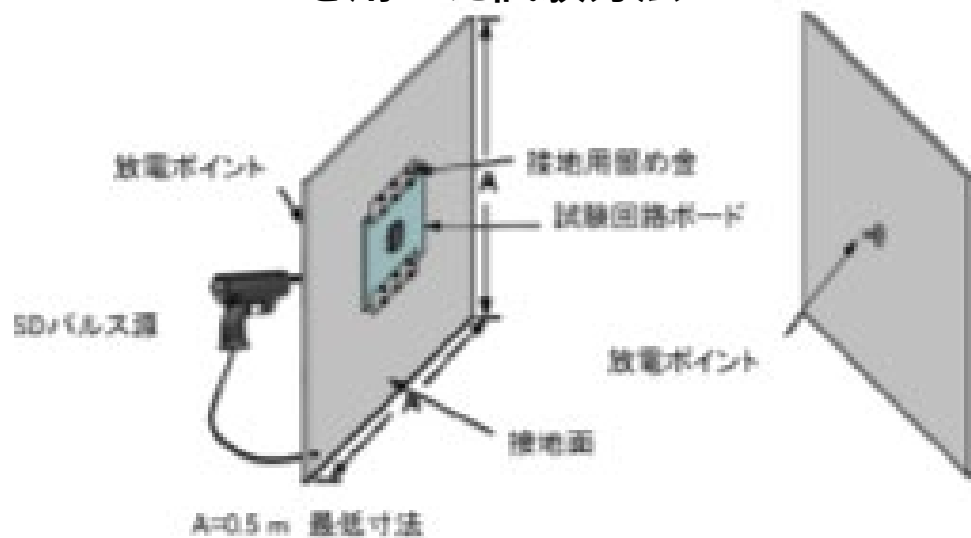
電源OFF/ON

ESD Generator = ESD Gun

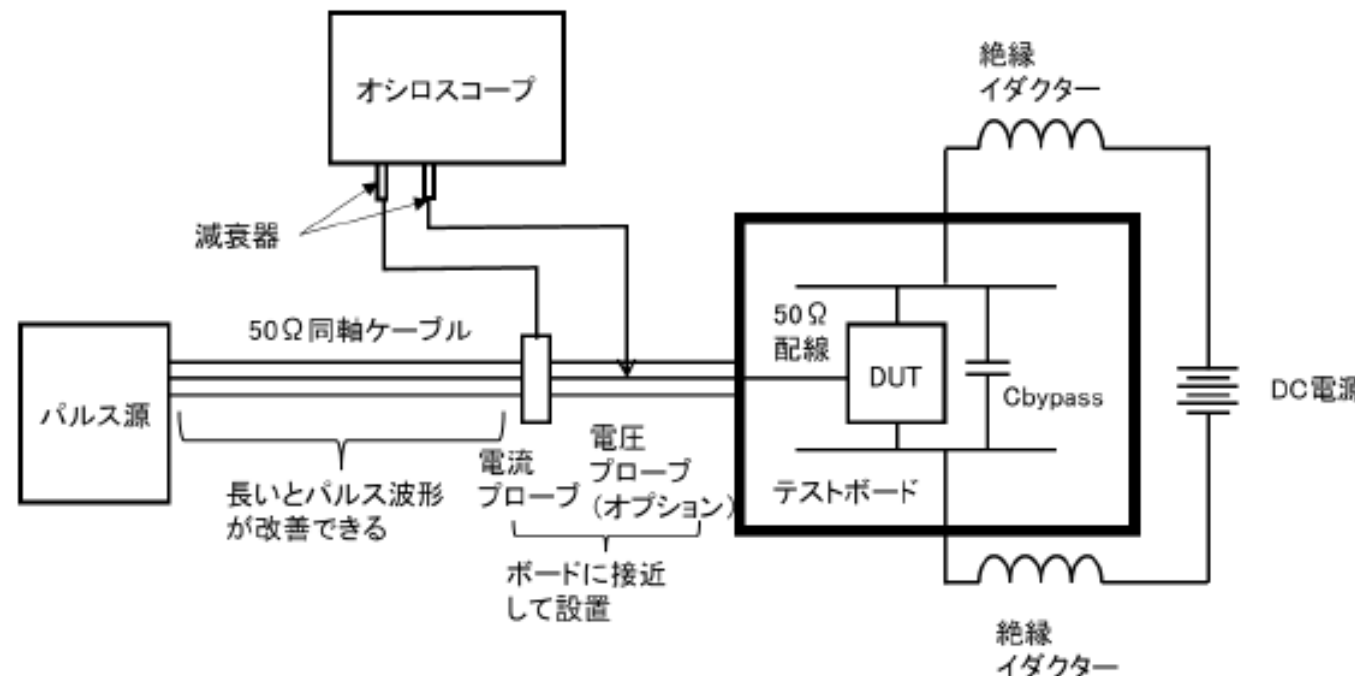




ESD Gunを用いた試験方法:A



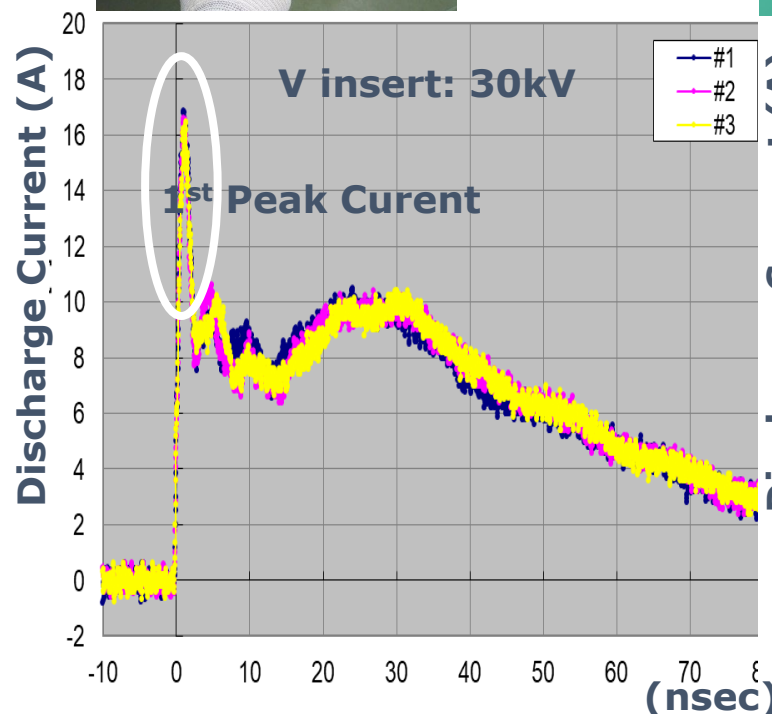
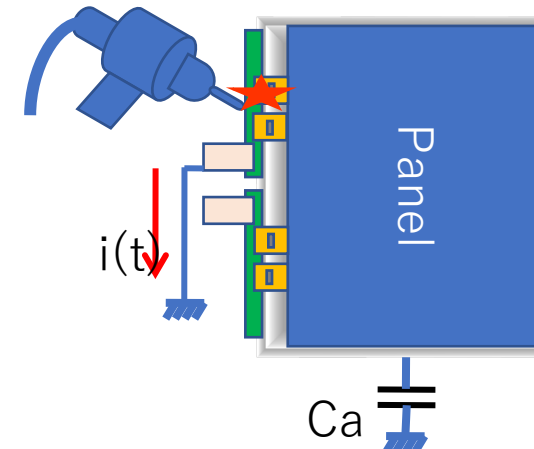
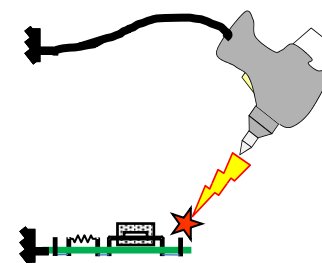
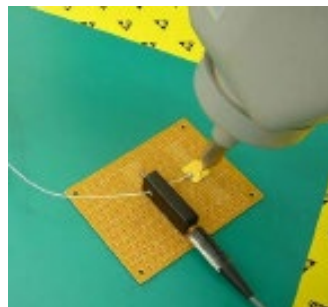
ESD Gunを用いた試験方法:B



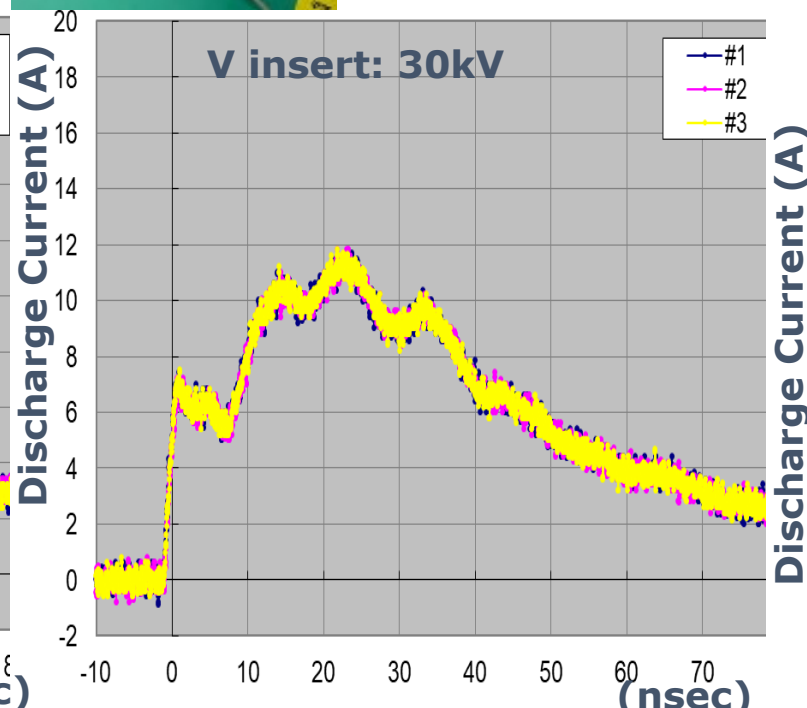
パルス源としてTLP(Transmission Line Pulsing)を用いた試験方法

(ESD Gunを用いた試験での注意項目)
 ○ESD Gunと試験物体との間に放電波形規定の想定しているフリッジング容量が形成されているのか？
 → **第1ピーク放電電流規定との整合性**
 ○接地ケーブルを被試験基板設置金属板に短絡接続
 → **被試験基板への大きなストレス印加試験となる？。**

VCP、PCB及びパネル(FP)へのESD Gunからの放電における1st ピーク電流波形観測



垂直放電板(VCP)へのESD Gun放電では1st ピーク電流波形は観測。(30kV)



PCBへのESD Gun放電では1st ピーク電流波形は観測されない。(30kV)

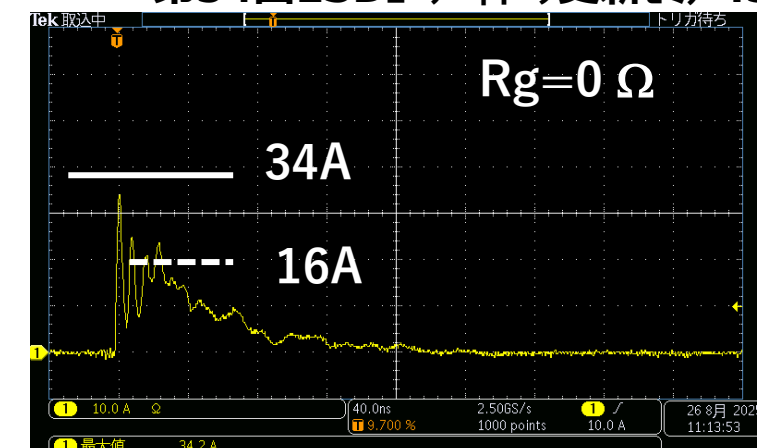
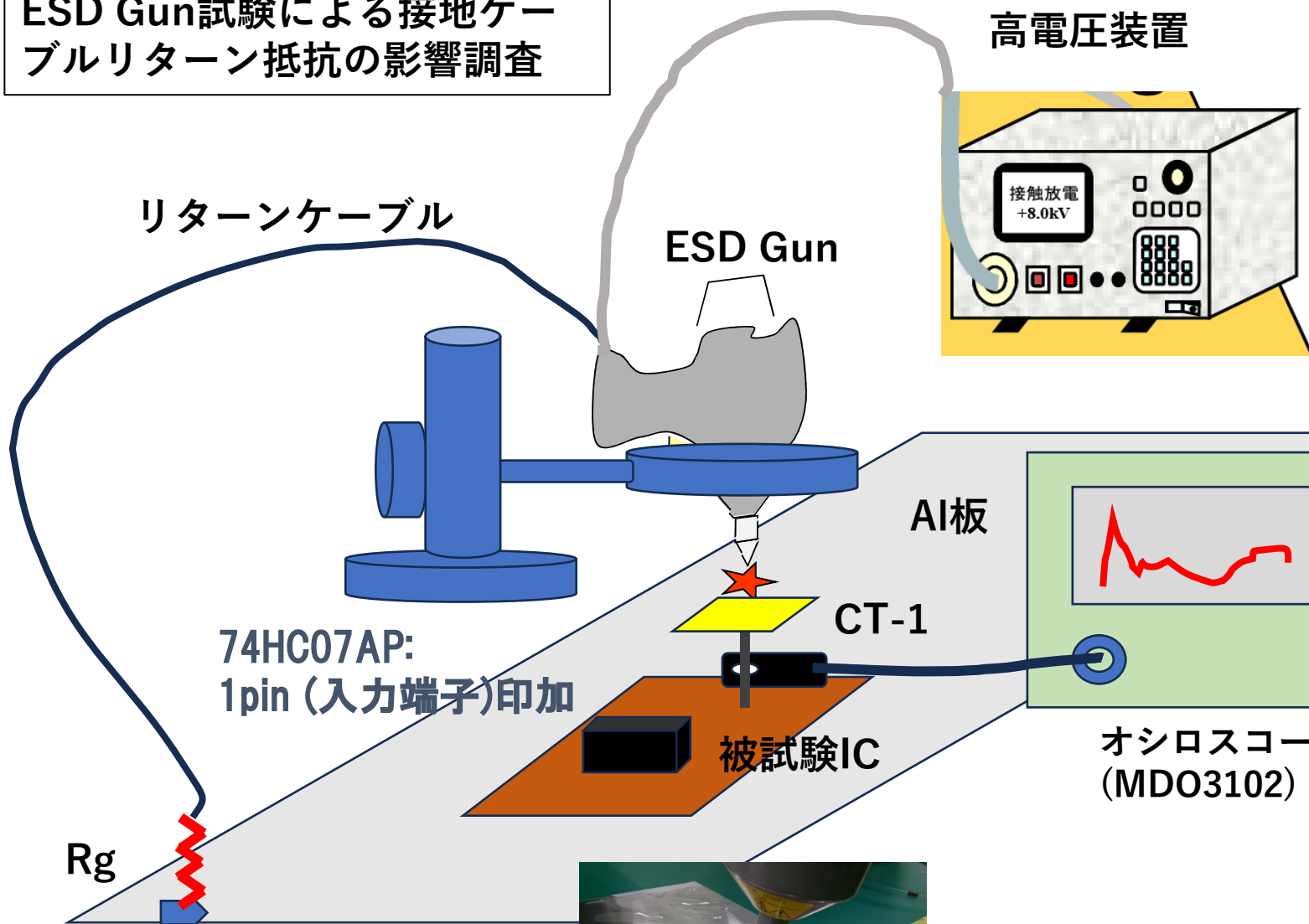


パネルへのESD Gun放電では1st ピーク電流波形は観測されない。(5kV)

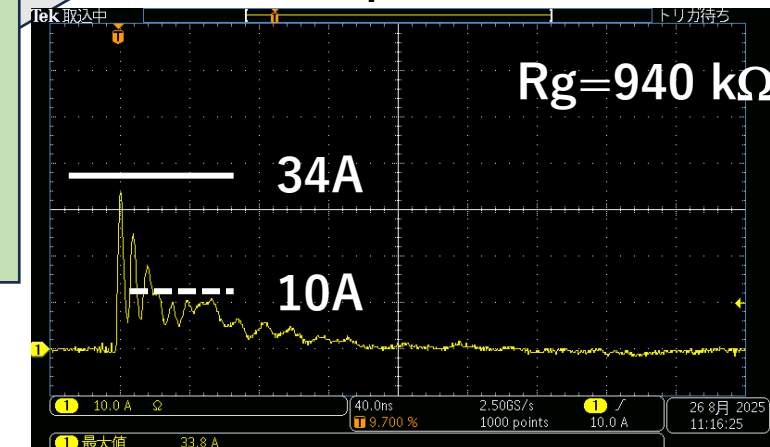
PCB、パネル(FP)への放電波形では、VCPの場合に比較し、1st ピーク電流波形は非常に小さくなる。HMM試験では、1st ピーク放電電流をどう流入させるのか？

ESD Gun試験による接地ケーブルリターン抵抗の影響調査

第54回ESDコ-ディネ-タ更新セミナー:33



$V_{in}=8kV/R=0\Omega$ における
1pin印加放電電流波形

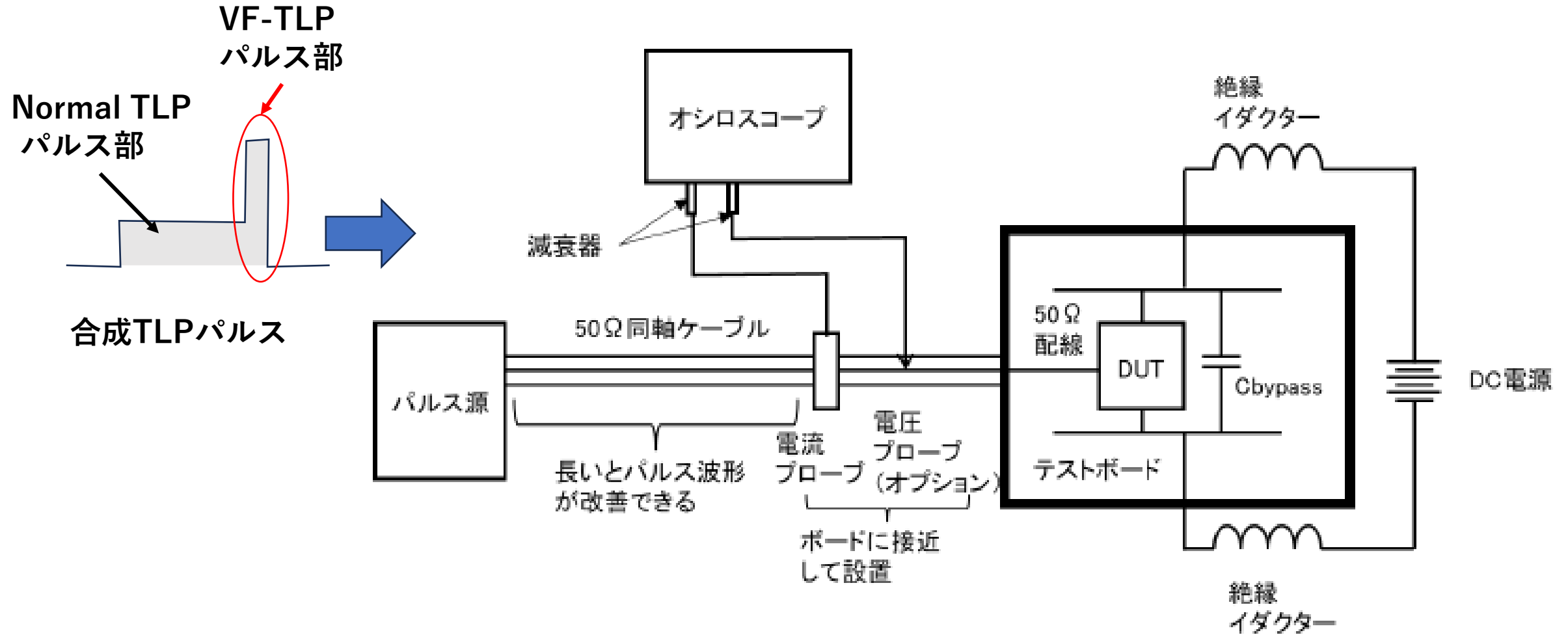


$V_{in}=8kV/R=940k\Omega$ における
1pin印加放電電流波形

$R_g=940k\Omega$, $R_g=0\Omega$ の条件で共に $V_{in}=8kV$ 、1pin印加にて入力Gate破壊発生(第1ピーク放電電流にて決まる)
 → R_g によって、第2ピーク放電電流が変化し、熱的破壊現象のストレスは変化する。

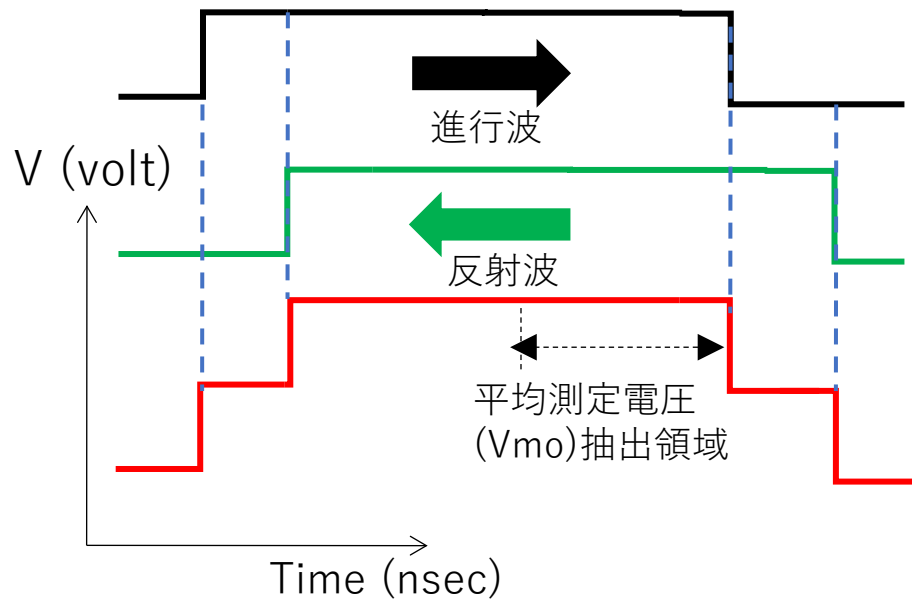
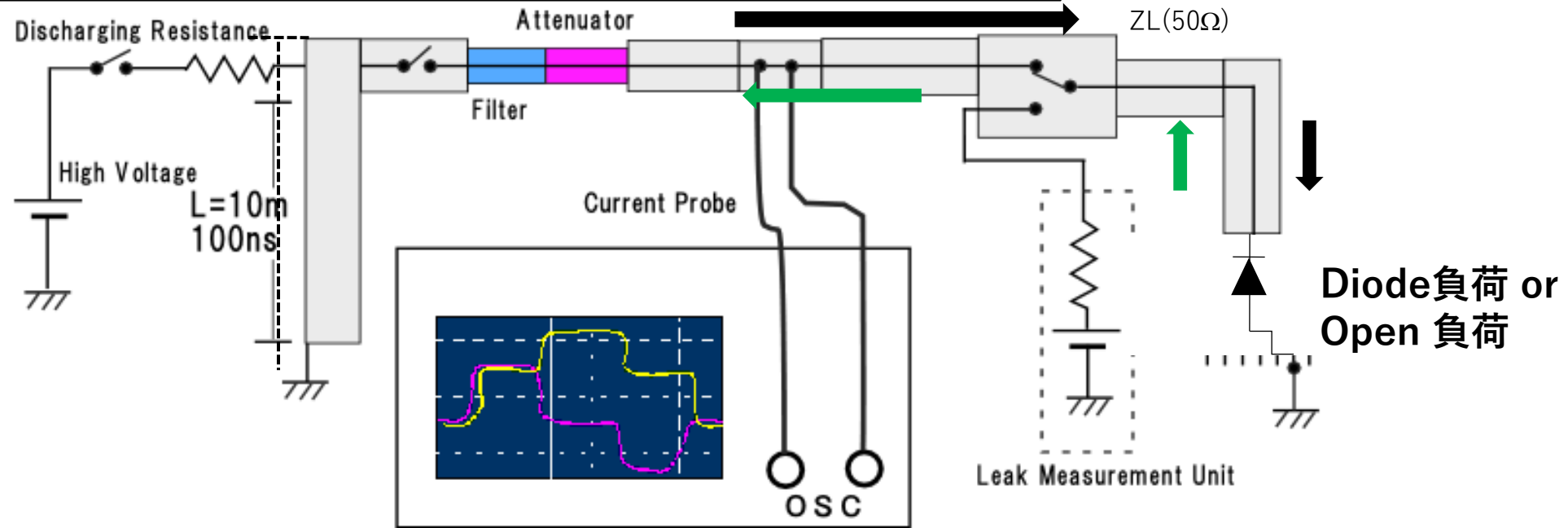
接地ケーブルリターン抵抗： R_g



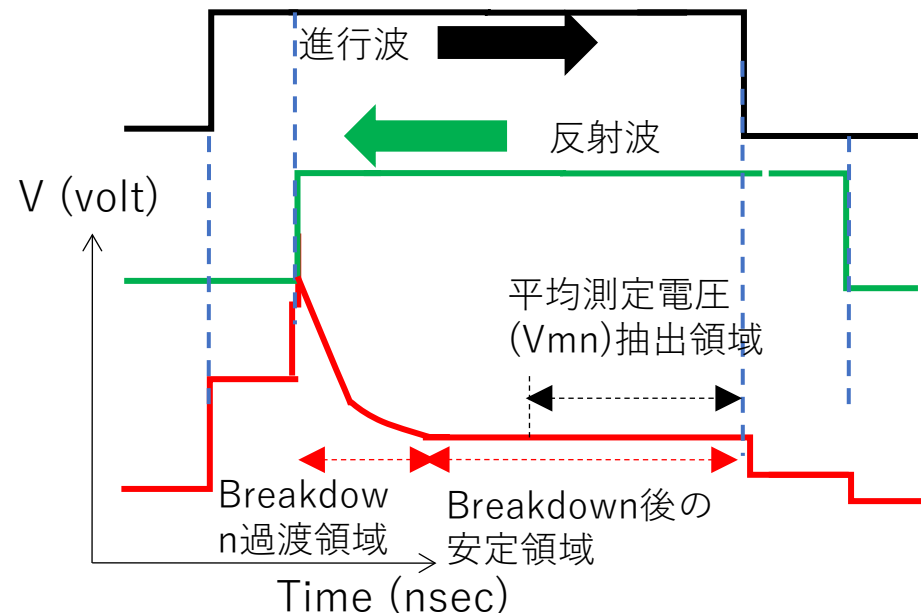


パルス源としてTLP(Transmission Line Pulsing)を用いた試験方法

→ この試験方法で放電電流波形規定における第1ピーク波形に相当するVF-TLP波形と第2ピーク波形に相当するNormal TLP波形を合成したパルス印加を規定する試験方法を検討する必要があるのでは？



Open 負荷の場合の電圧測定値



Diode負荷の場合の電圧測定値

各素子の対象ESD流入近似IV Parameter抽出方法

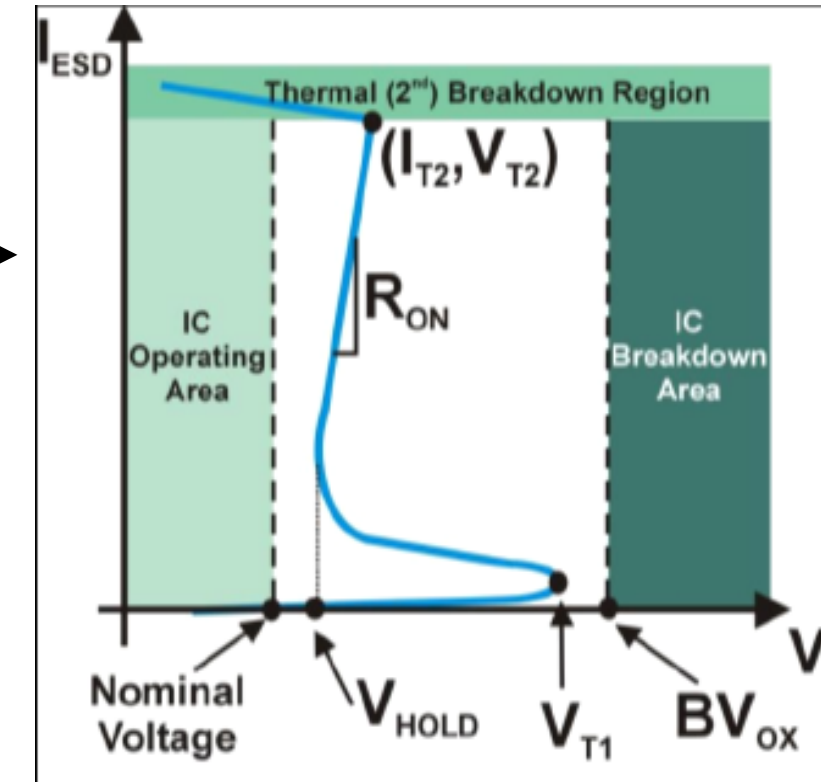
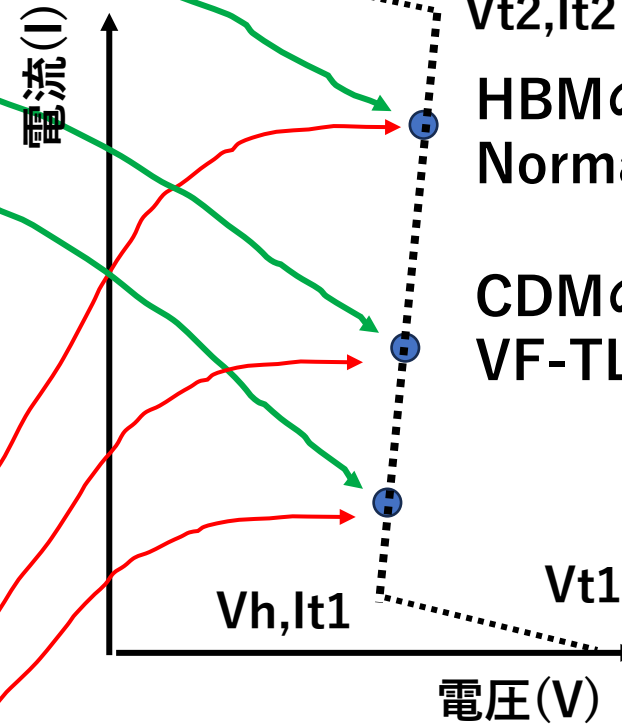
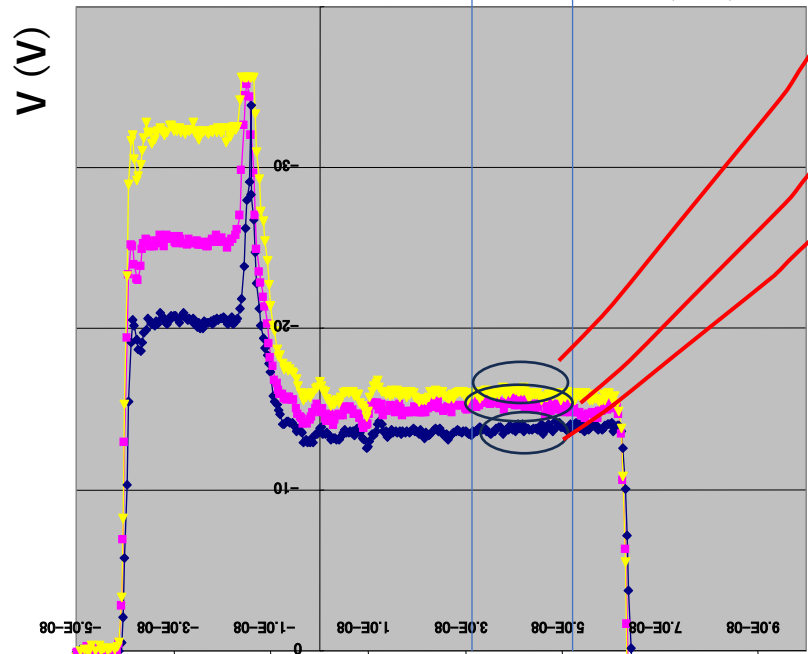
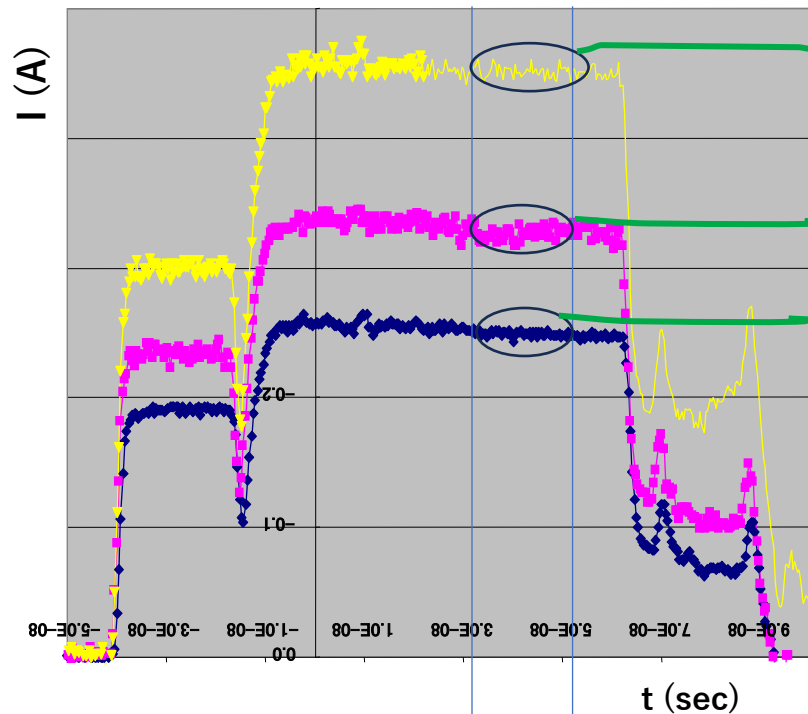
Vt2, It2

HBMの場合:

Normal TLPにて60~99nsec平均抽出

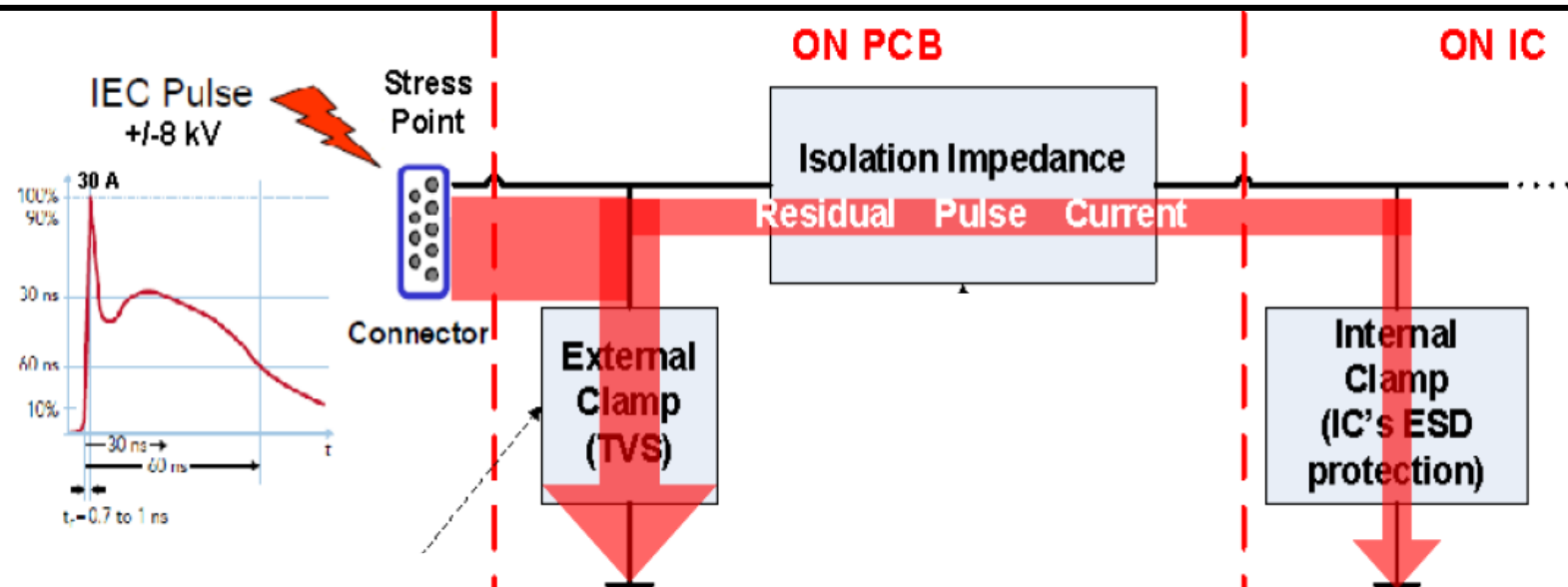
CDMの場合

VF-TLPにて1~5nsec程度の平均抽出



ESD Windowの設定にてESD保護特性を設計

HMMに対する基板/モジュールレベルSEED(System-Efficient ESD Design)設計



HMMに対するPCB-ESD設計手法(SEED設計提案)

LSI (On chip)対応のTLP-ESD Parameter抽出によるESD Network設計手法をPCB-ESD設計に流用し、HMM(IEC61000-4-2波形)が外部端子から流入しても、搭載LSI が損傷しないよう設計する。

(システム搭載基板品としての**ESD,特性ハーモナイズ設計**への課題)

○搭載LSI ESD保護特性に対応したPCB-ESD保護の実施が必要

(**相互のESD動作特性及び各動作特性とのハーモナイズ設計**)

○TLP-ESD Parameter抽出方法の拡大、見直し：

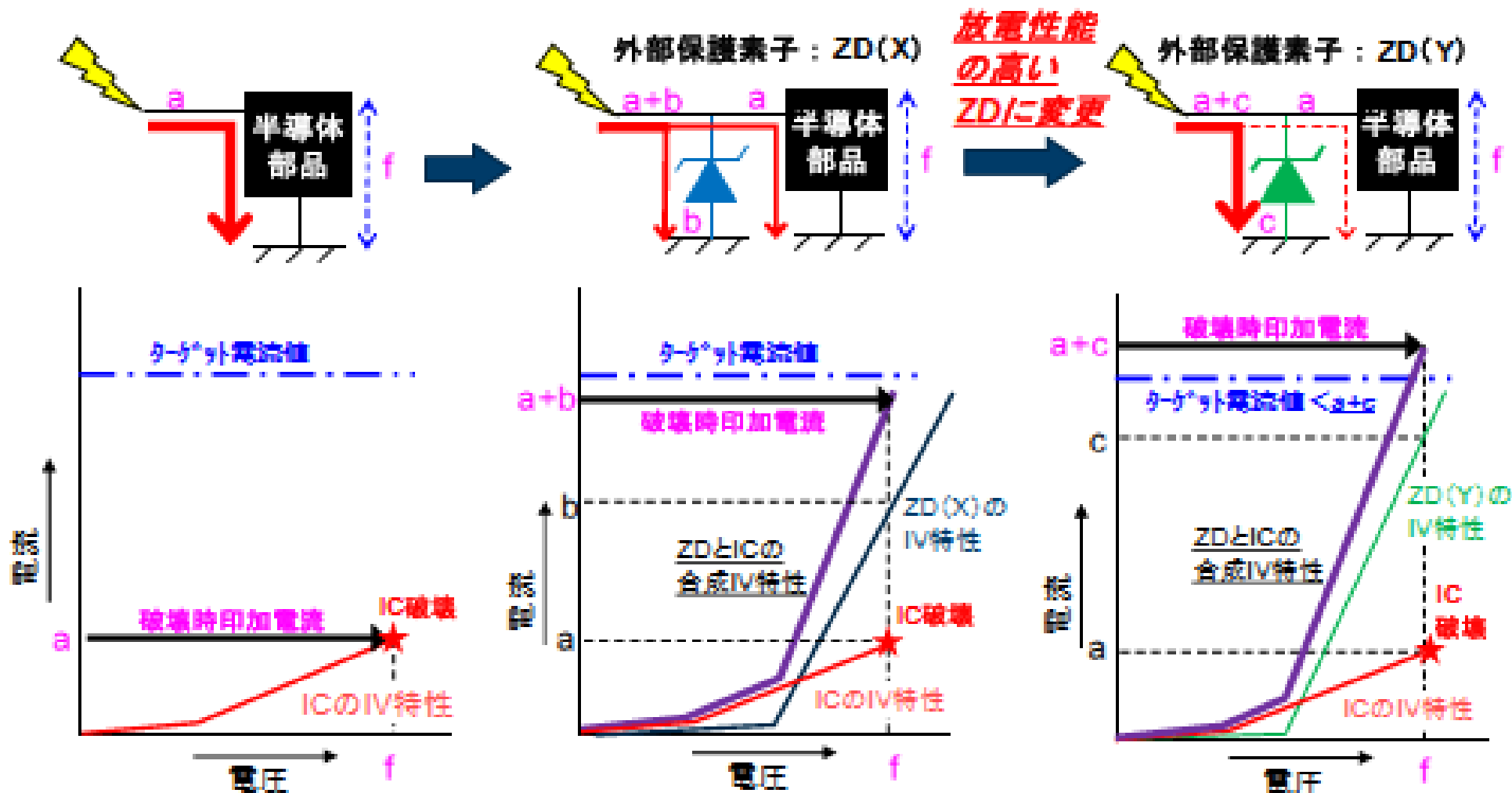
- PCB上各素子の過渡応答特性の抽出、電源ON/OFF状態、素子組合せ状態での抽出などが必要。

○PCB上の構造的ESD二次放電発生防止、ESDノイズ減衰PCB設計手法が別途、必要。

(I)

(II)

(III)




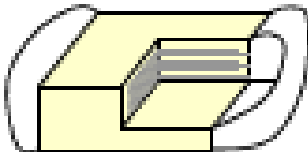
基板ESD保護を検討する場合の課題

OICのESDに対するIV特性がESD保護回路変遷によって変化している。
OTLPによるIC-ESD-IV特性抽出方法は、ESD保護回路の過渡応答特性によって抽出Timingによって大きく変化する。
OICのESD耐性も抽出特性時間によって大きく変化する。

ESD耐性設計完了

『①電流制限』を目的とした対策部品

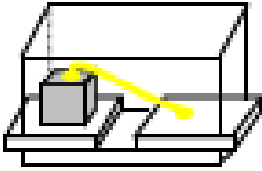
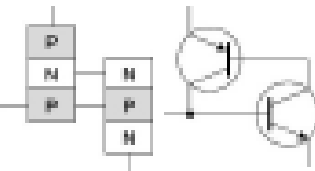
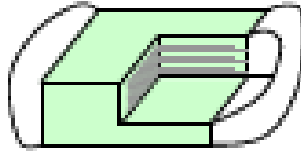


開示先：
セミナー受講者限定

	抵抗器	コンデンサ	コイル
構造			
(一般的に)よく使われる 素子の形態	<ul style="list-style-type: none">・厚膜type・面実装type	<ul style="list-style-type: none">・積層type・面実装type	<ul style="list-style-type: none">・積層type・面実装type
被保護デバイスに 対しての配置	<ul style="list-style-type: none">・直列(・並列 (プルアップ))	<ul style="list-style-type: none">・直列・並列	<ul style="list-style-type: none">・直列・並列
主な 適用回路	<ul style="list-style-type: none">・信号回路	<ul style="list-style-type: none">・交流回路 (直列配置)・電源回路 (並列配置)	<ul style="list-style-type: none">・信号回路 (直列配置)・高周波アンプ回路 (並列配置)
共通する特性	電流-電圧特性：線形		

☐ 効果が期待できるデバイス

『②バイパス効果』を目的とした対策部品

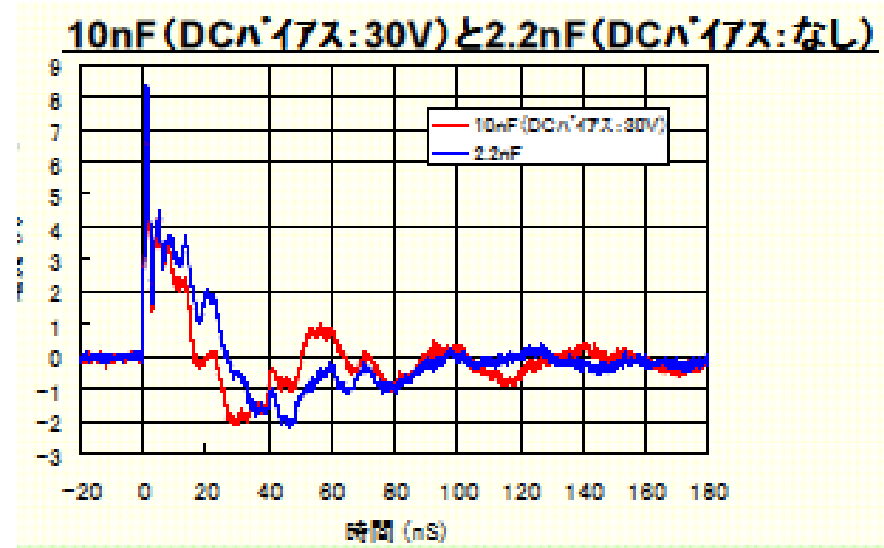
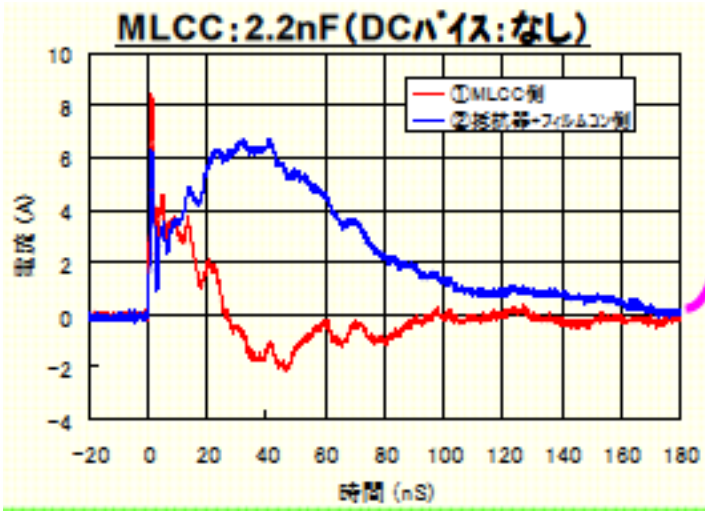
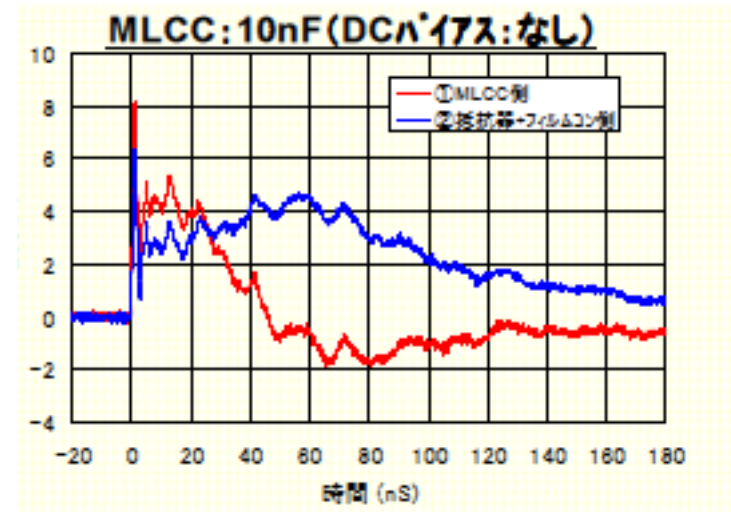
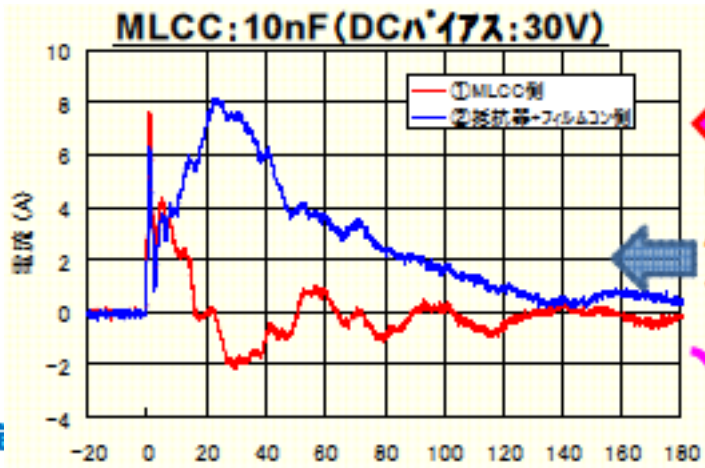
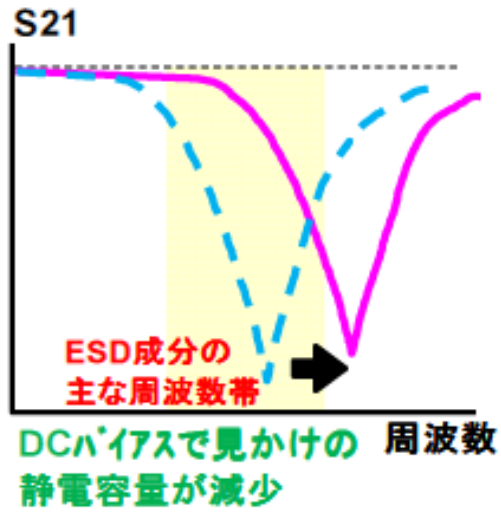
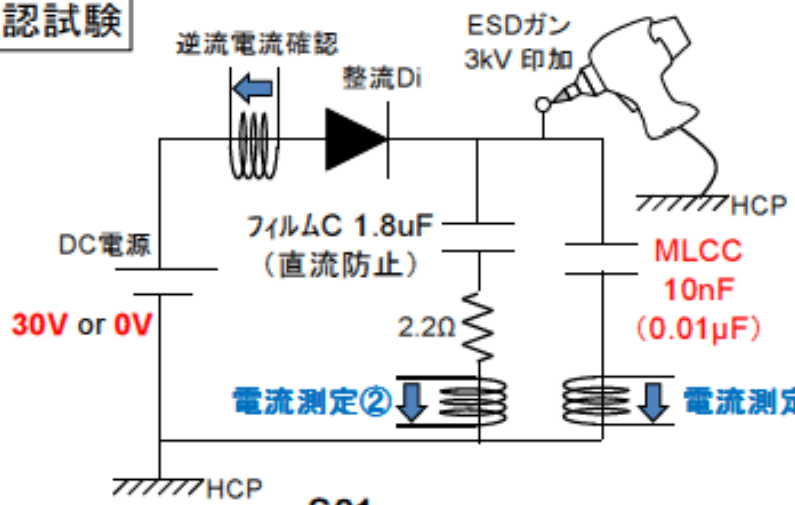
開示先：
セミナー受講者 限定

	ツェナー ダイオード(ZD)	サイリスタ (SCR)	積層バリスタ (MLCV)	ポリマー 素子	ガス アレスタ
構造・構成					
動作原理	Si半導体PN接合 間の降伏電圧	・導通・非導通状態を SWするように機能	金属酸化物半導体 粒子-粒界特性	放電促進材料 による“ギャップ”放電	電極間の放電 (希ガス)
特長	・I-V特性が良好	・動作後のON電圧が 低い ・低静電容量	・双方向特性 ・静電容量調整が容易	・超低静電容量	・超低静電容量 ・高電流耐量
ESD 抑制効果	◎	◎ (反応速度 遅)	○	△	× (反応速度 遅)
主な 適用回路	回路全般	電源回路での使用は 要注意 (“ラッチアップ”への配慮)	回路全般	高周波回路	高周波回路 サージ対策回路
共通する 特性	電流-電圧特性 : 非線形				

 効果が期待できるデバイス

MLCCの電源ON状態におけるESD除去領域特性

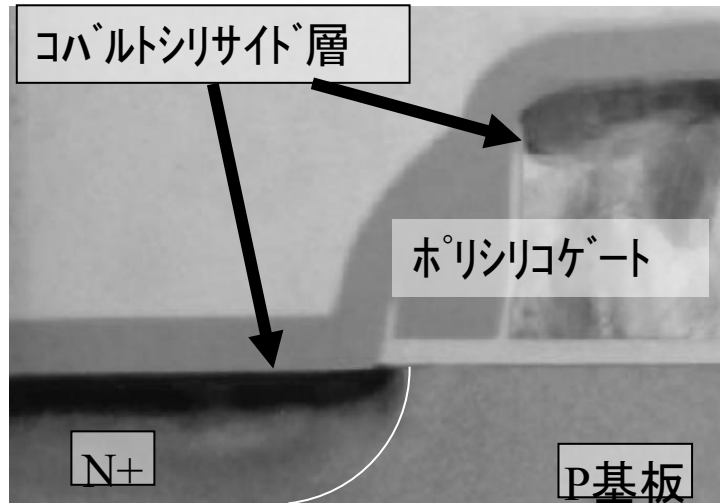
確認試験



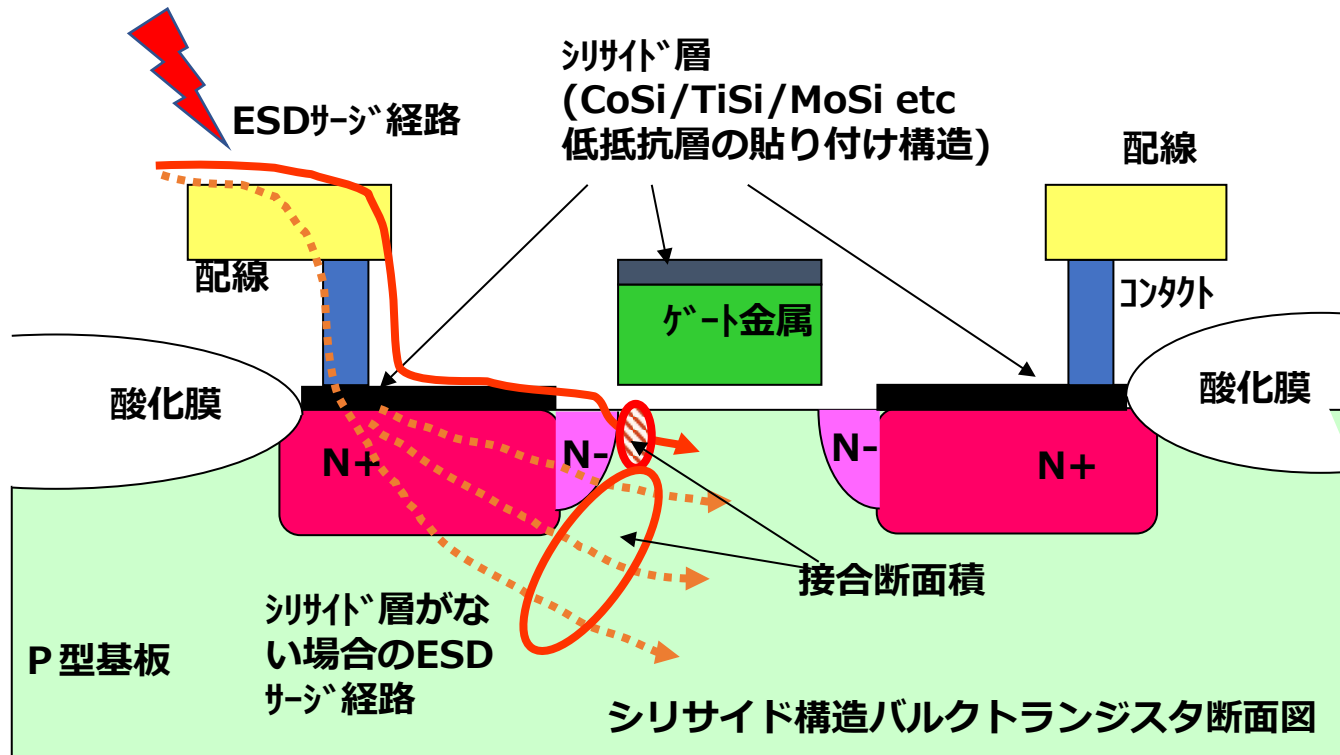
積層コンデンサ(MLCC)へのDC電圧印加は、ESD周波数領域での静電容量を大幅に低下させる。
○MLCCにおいて、DCバイアス30V印加の場合、10uFが実効的に2.2uFのESD除去特性に低下する。

MLCC: Malti-Layer Ceramic Capacitor

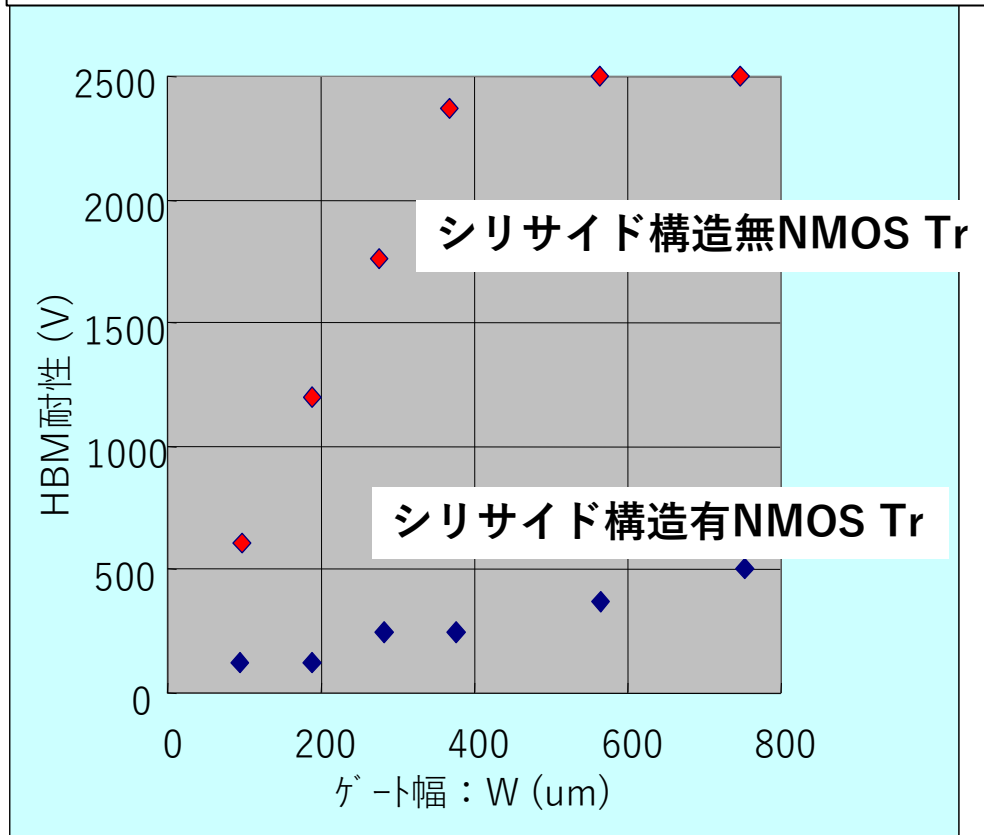
LSI におけるESD保護の変化(1)



高速化を目的としたシリサイド構造Trは、HBMに対して非常に弱くなり、Breakdown→Snapback動作によるESD除去能力を寸法設計にて確保することは不可能

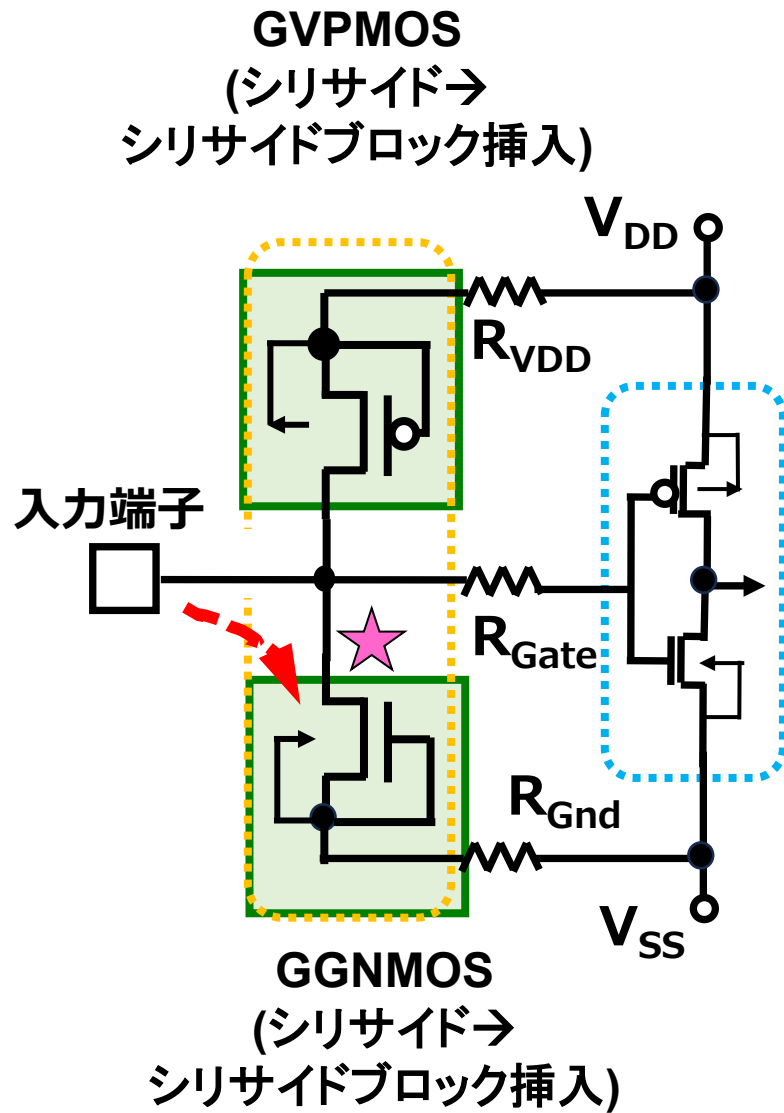


シリサイド構造の有無によるNMOS TrのHBM耐性のゲート幅依存性比較

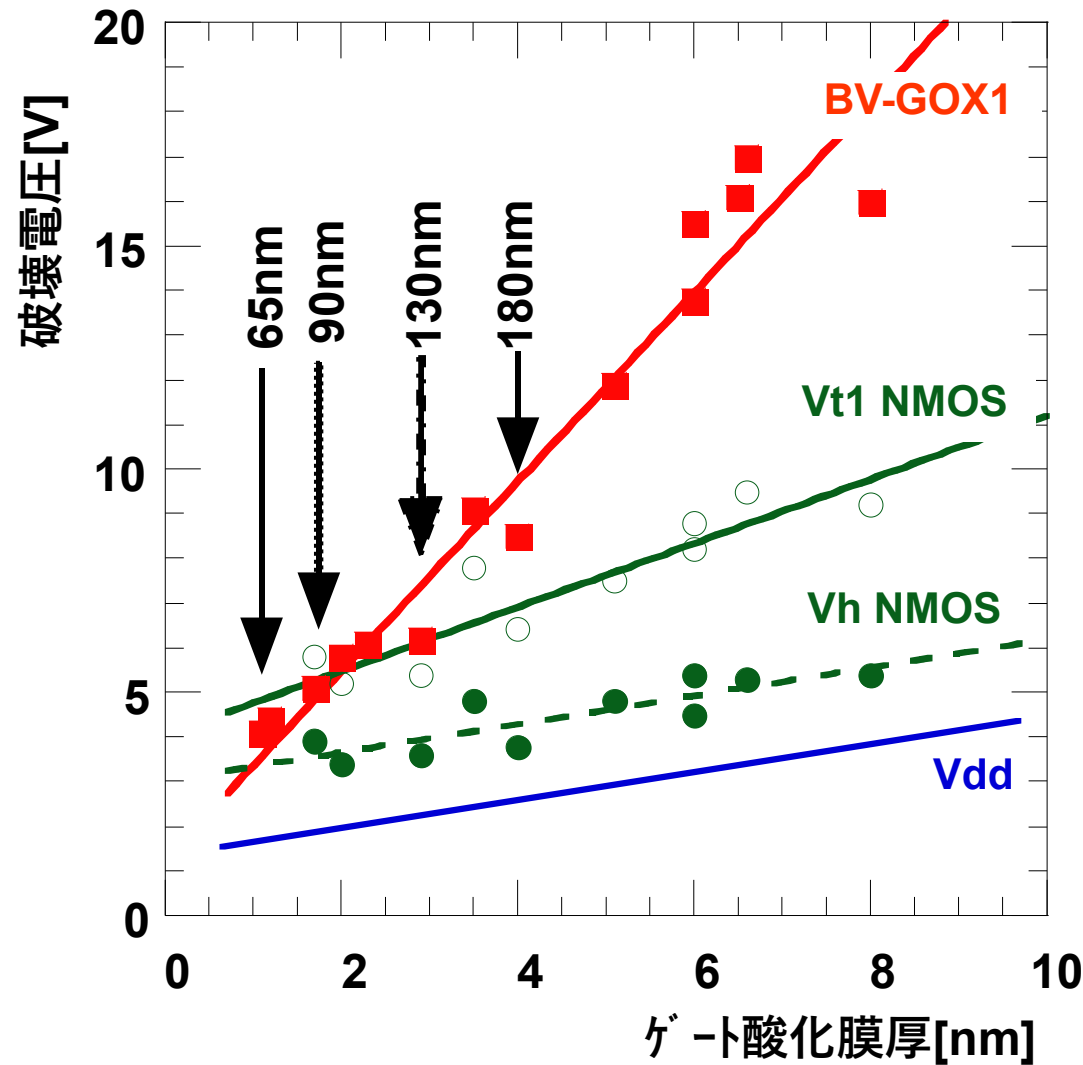


シリサイド構造トランジスタの場合はESDサージ接合断面積が極端に小さくなること、Breakdownするとその箇所へESDサージが集中することのために、HBMは極端に弱くなる。

LSI におけるESD保護の変化(2)

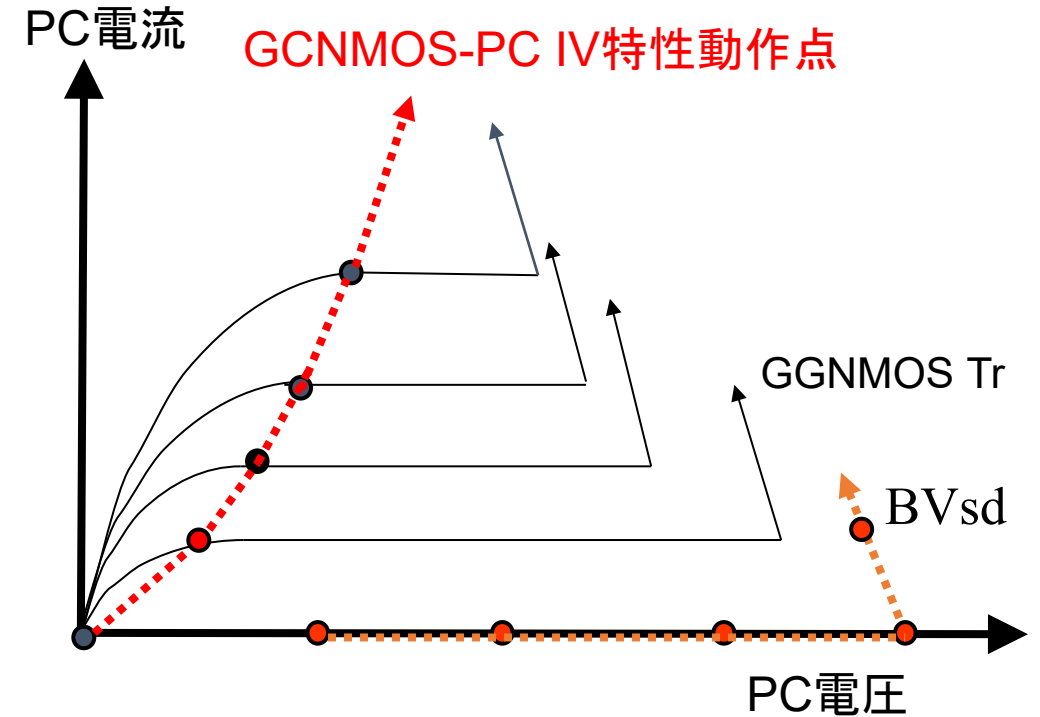
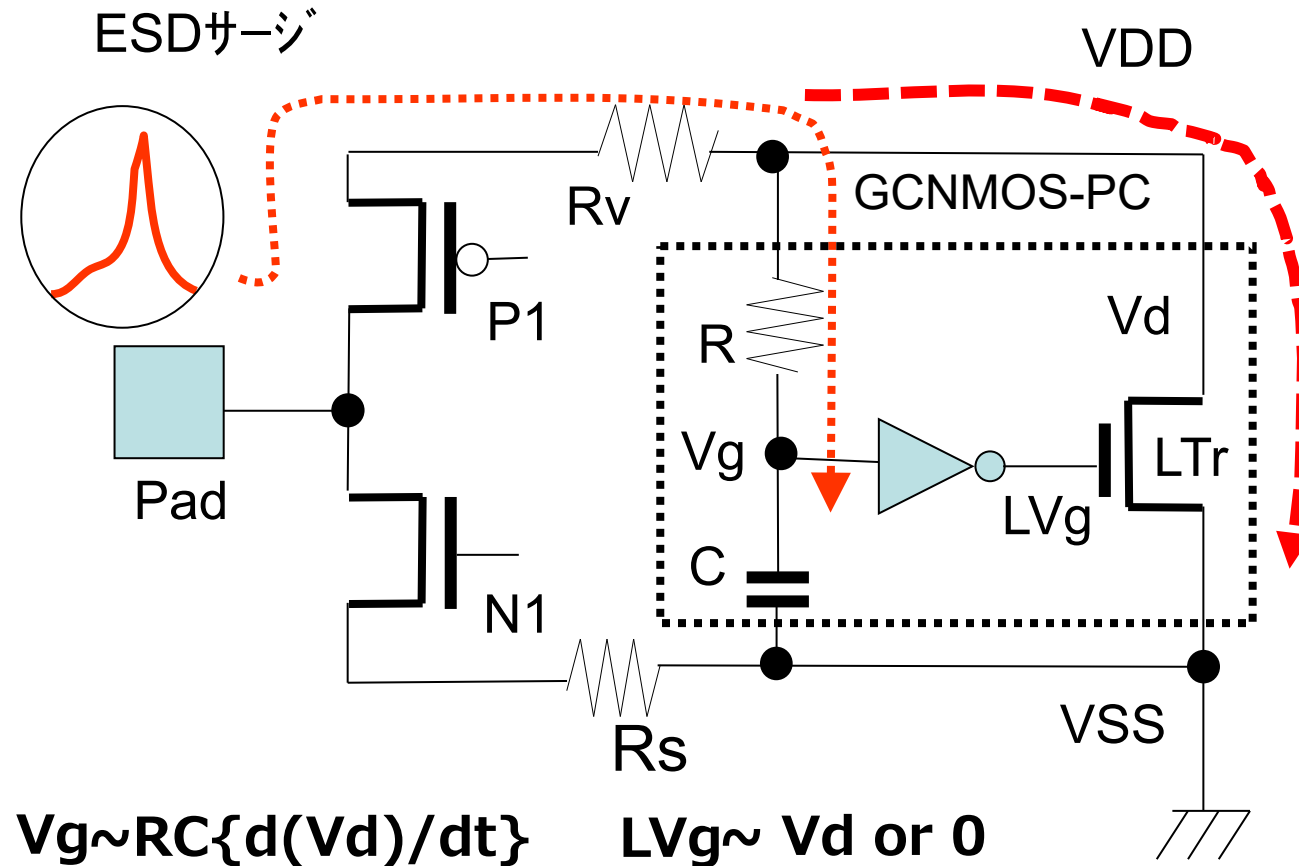


GGNMOS/GVPMOS入力保護回路

先端MOS構造GGNMOS
のBV-GOX1とVt1との関係

高速性能を犠牲して、ESD保護に必要なシリサイド構造Trに、シリサイドブロック構造を挿入しても、ゲート酸化膜の薄膜化により、NMOS Vt1よりもゲート酸化膜破壊電圧BV-GOXの方が薄くなるので、GGNMOS TrのBreakdown->Snapback動作による内部回路保護目的のESD除去は不可能となる。

GCNMOS-PCによるRail Clamp 保護方式への変更

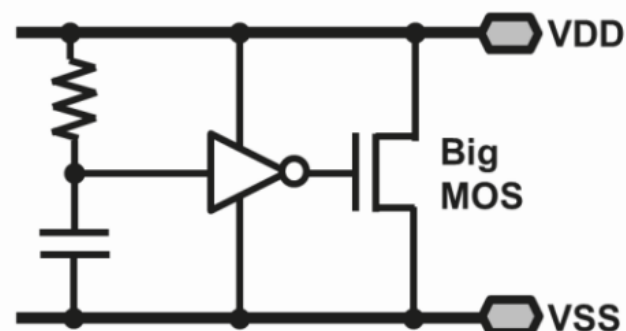


GCNMOS PC 動作外略図

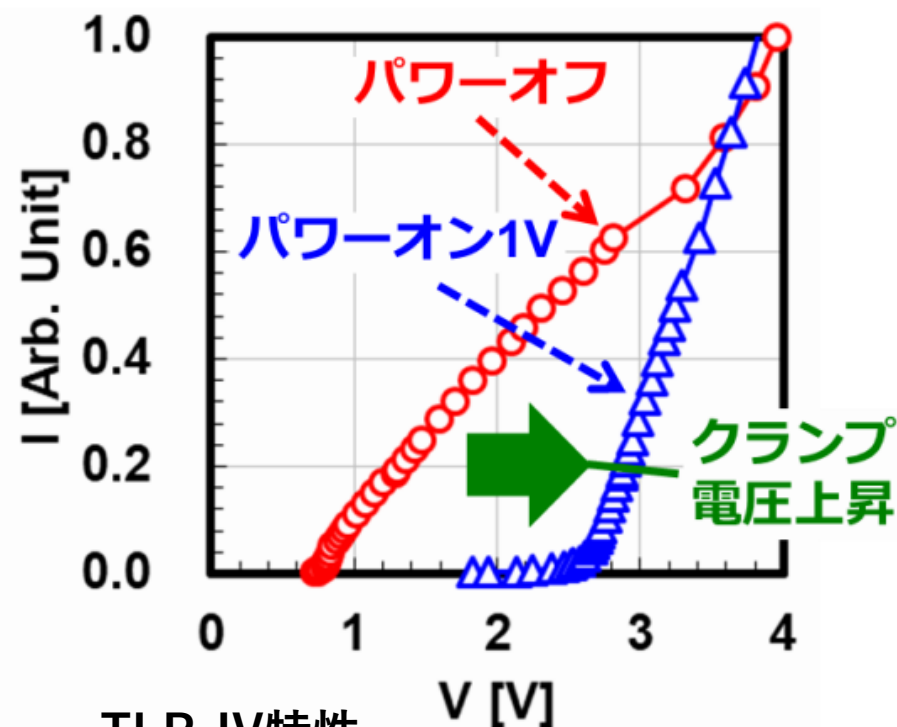
GCNMOS-PCによるESD-IV動作は
LVg=Vd or 0 動作

Breakdown動作は発生しない。ESD
除去による発熱はNetwork設計にて
回避可能。Spice Simにて予測可能

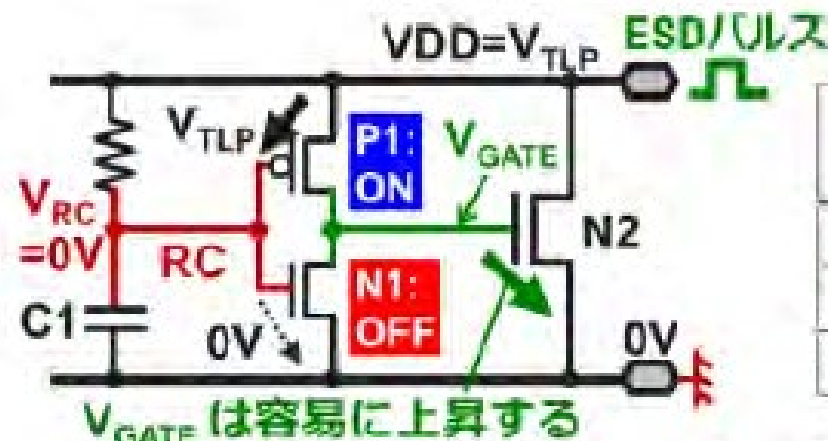
RC TimerタイプのESD除去性能は、Power ON状態の時、大きく低下する



RC-Timer PC 回路

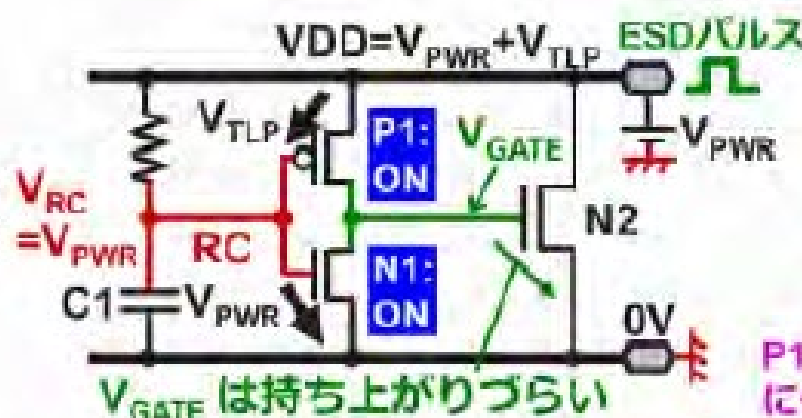


TLP-IV特性
(pulse幅: 100ns、IV抽出時間: 70~90ns)



	Before Pulse	During Pulse
N1	OFF	OFF
P1	OFF	ON
N2	OFF	ON

(a) パワーオフ時



	Before Pulse	During Pulse
N1	ON	ON
P1	OFF	ON
N2	OFF	ON/OFF

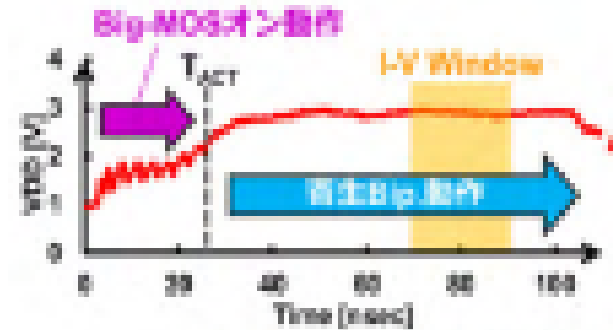
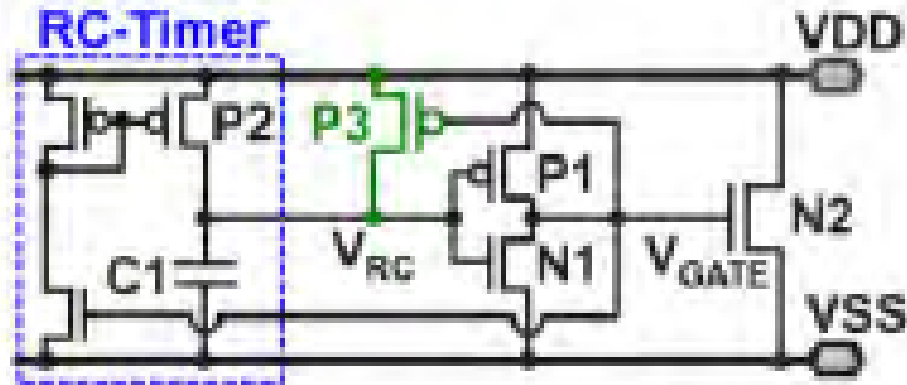
P1とN1のインピーダンス比に依存する

(b) パワーオン時

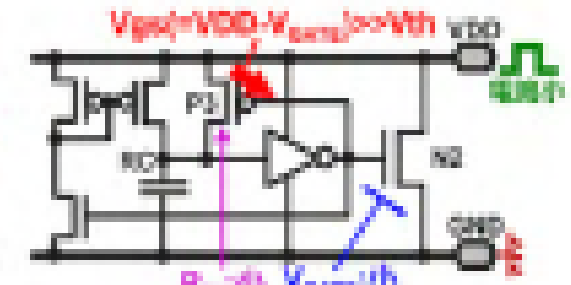
成田幸輝, 奥島基嗣, "パワーオンESD耐性を向上させたESD電源保護回路", 2017 27th RCJ EOS/ESD/EMC Symposium proc., p21~26

改良RC-Timer PCの動作は、TLP過渡特性分析が必要 (ESD Parameter抽出方法の検討が必要)

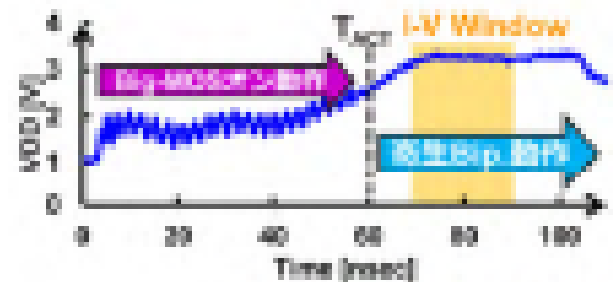
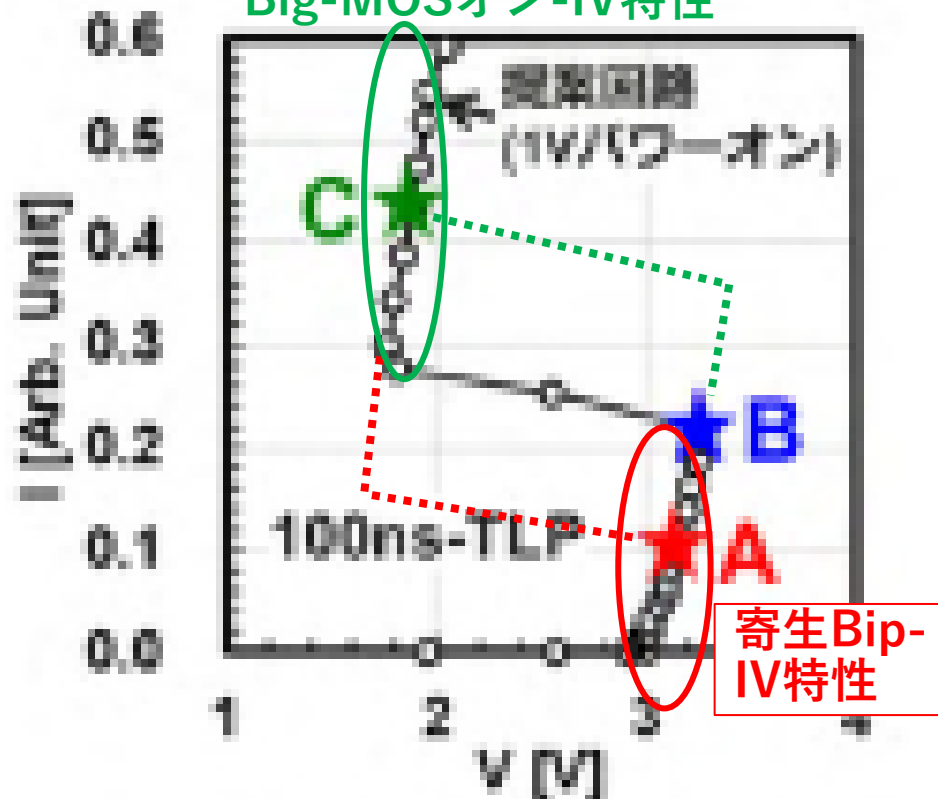
第54回ESD-J-データ更新セミナー:47



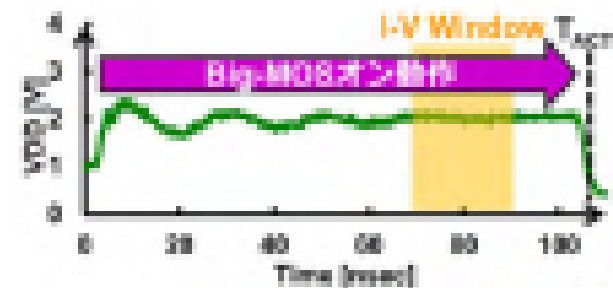
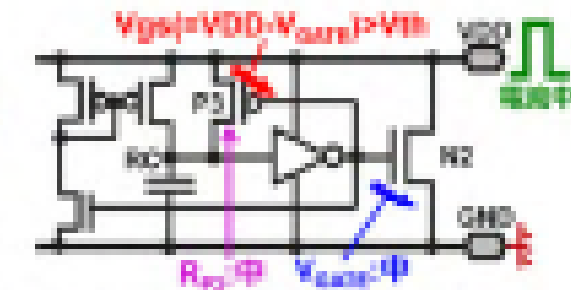
(b) A の実測 TLP 電圧波形と提議回路内の電位イメージ



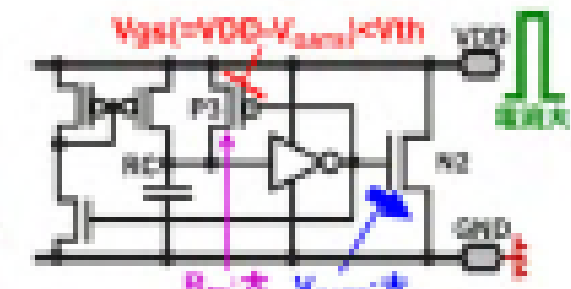
Big-MOSオン-IV特性



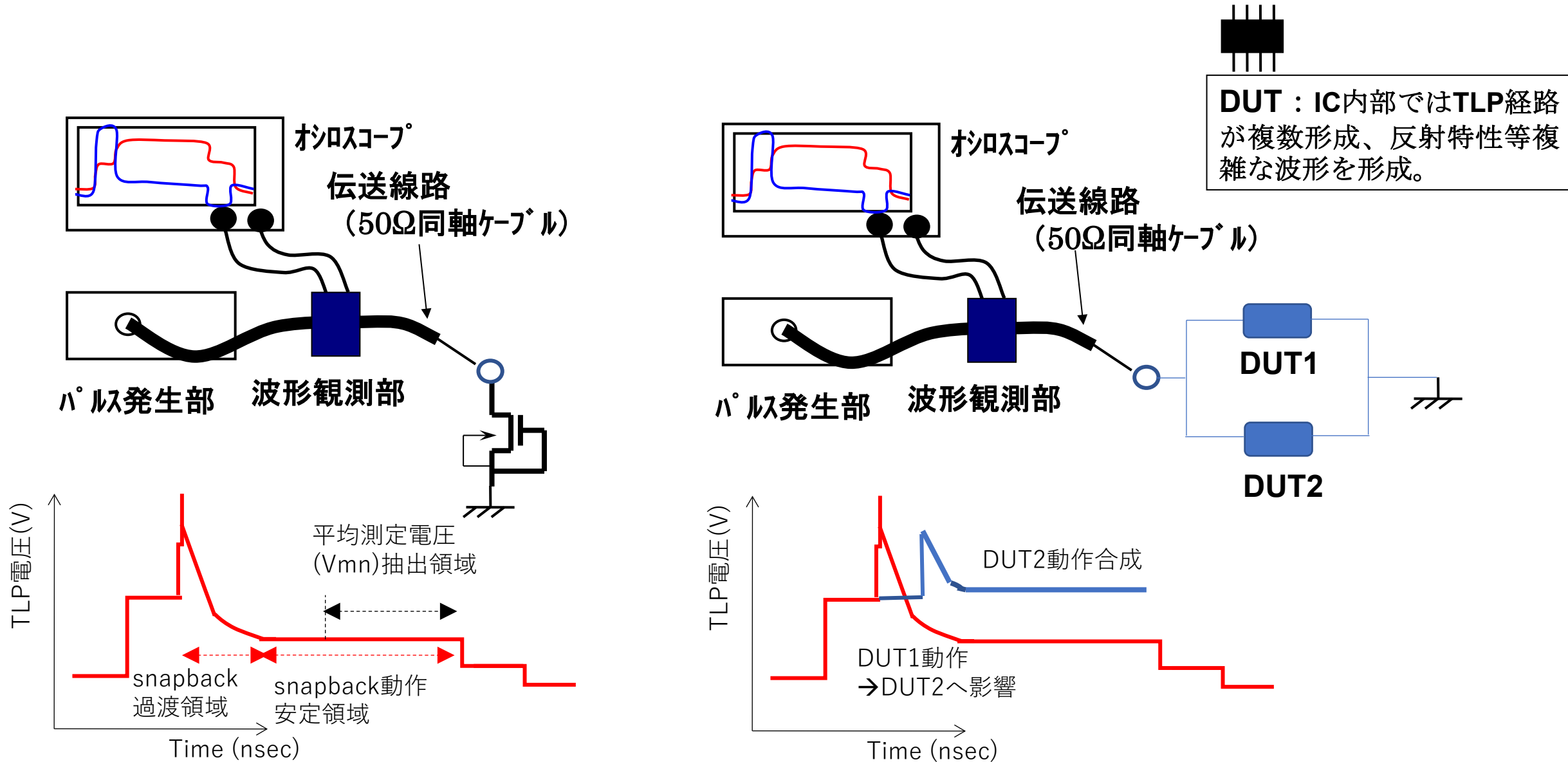
(c) B の実測 TLP 電圧波形と提議回路内の電位イメージ



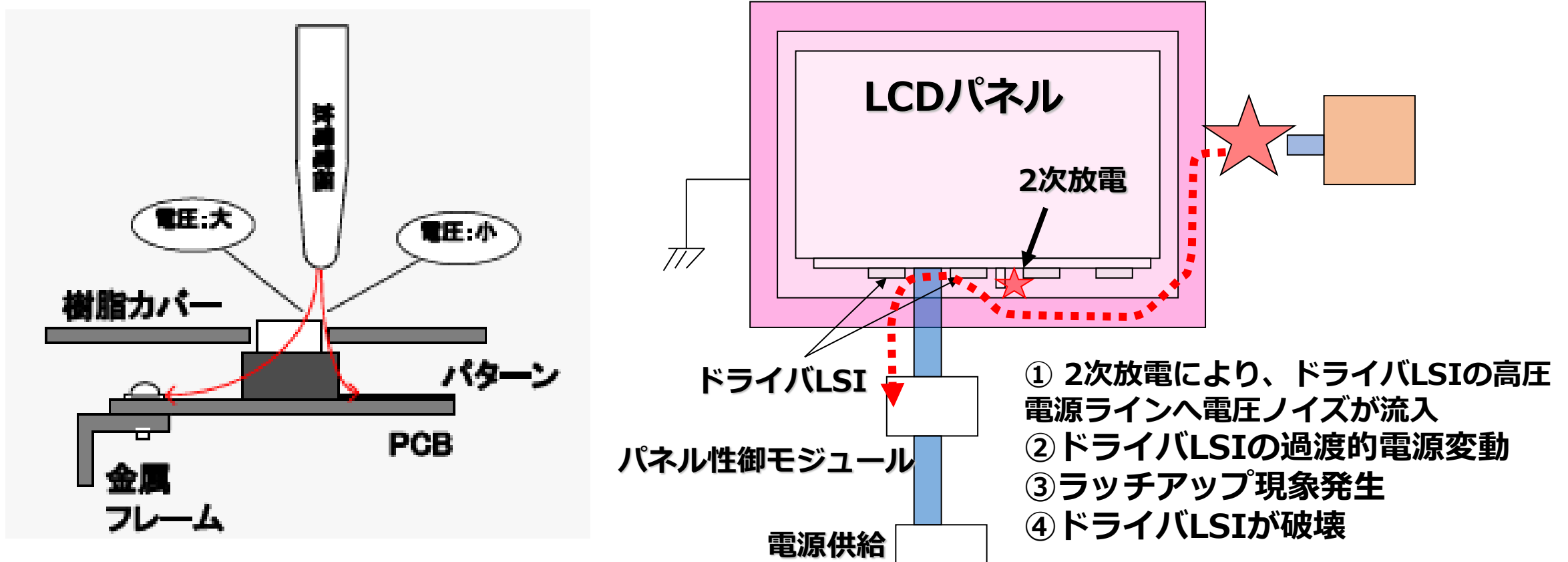
(d) C の実測 TLP 電圧波形と提議回路内の電位イメージ



部品搭載基板ボードにおけるTLP-IV特性抽出方法の課題



基板上での二次放電発生によるESD損傷事例(1)



基板/モジュールレベルのESD Gun試験で、基板端子空間に二次的気中放電が発生すると、想定ESD-Pathでない経路に大電流が流れ、ESD保護設計が無効となってしまう場合がある。

参考文献

“これが静電気試験だ！～試験の方法とコツ～TECHNO-FRONTIER 2008, EMC/ノイズ対策技術展2008.4.16
 今井,田中,福田,矢部,”電子デバイス・モジュールの最新評価技術”, OKIテクニカルレビュー, 2010.4, 第216号, Vol. 77, No1, p48~51

二次放電によるESD損傷現象例(2)

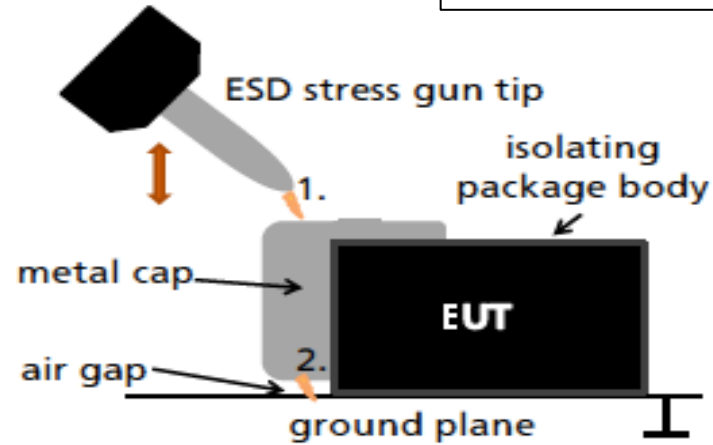


図1: システムレベルストレス試験用調査システムに対する品質試験位置

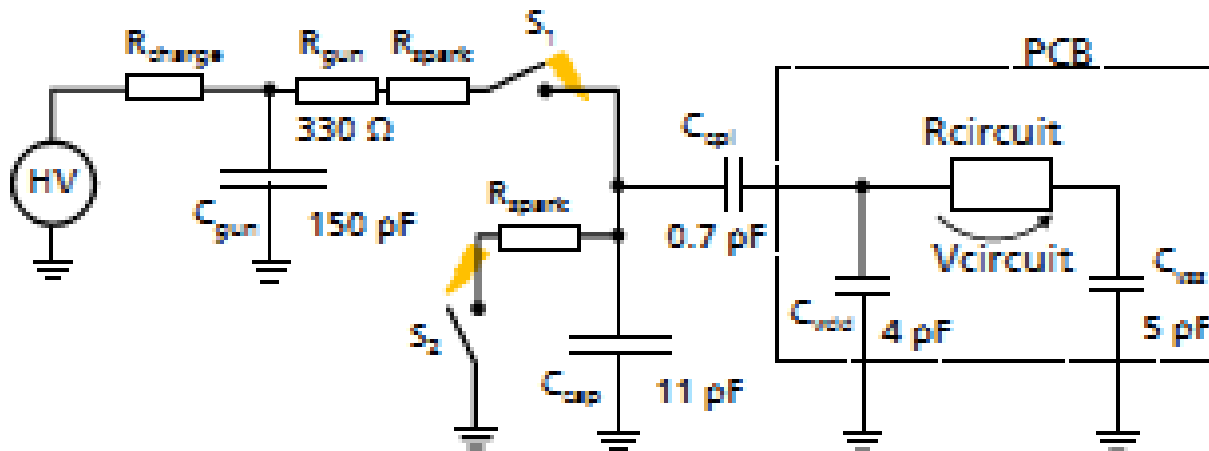


Figure 6: Equivalent circuit for compact simulation.

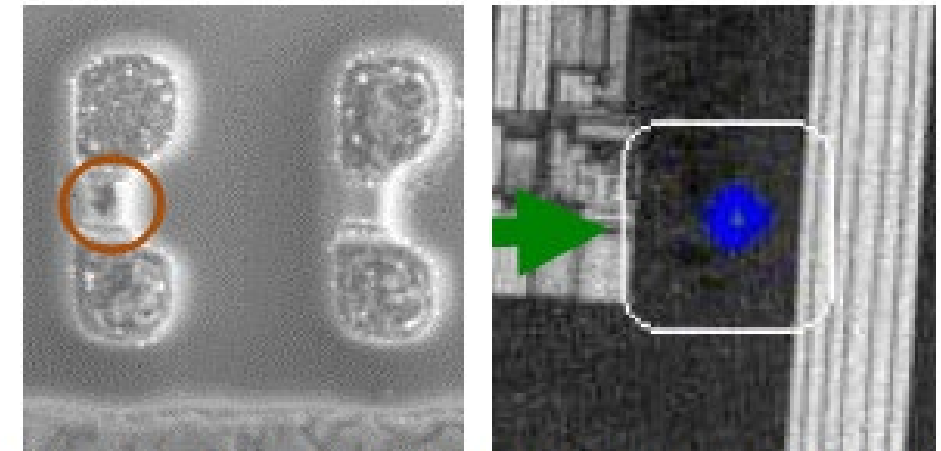


Figure 3: SEM (left) and OBIRCH (right) analysis after applying the ESD stress.

HMMに対する試験方法、PCB-ESD保護設計(SEED設計)手法の課題



- ① 正確なHMM試験方法の検証(~ESD Gun-First peak分析、合成TLP試験方法)
→ TLP手法によるHMM疑似試験方法の構築
- ② 被保護LSIのESD/Noise保護設計手法内容に対応したPCB-ESD保護設計
及びNoise保護設計の検討
→ ハーモナイズESD設計手順の構築/マニュアル化
- ③ 電源投入、非投入における各搭載部品、素子のESD保護に対する
ESD-Path抽出方法の精緻化
→ TLPを用いたESD Parameter抽出方法の再吟味
- ④ 基板ボード上での空間放電、空間伝搬Pathの分析及び防止構造の検討

今後の課題

①ESD流入による誤動作分析と保護対策

② Chipletを中心とした実装構造変化に対する基板・モジュール静電気対策

→ CDM/CBE耐性の大幅な低下

→ 従来のCDM/CBEとは異なるESD現象

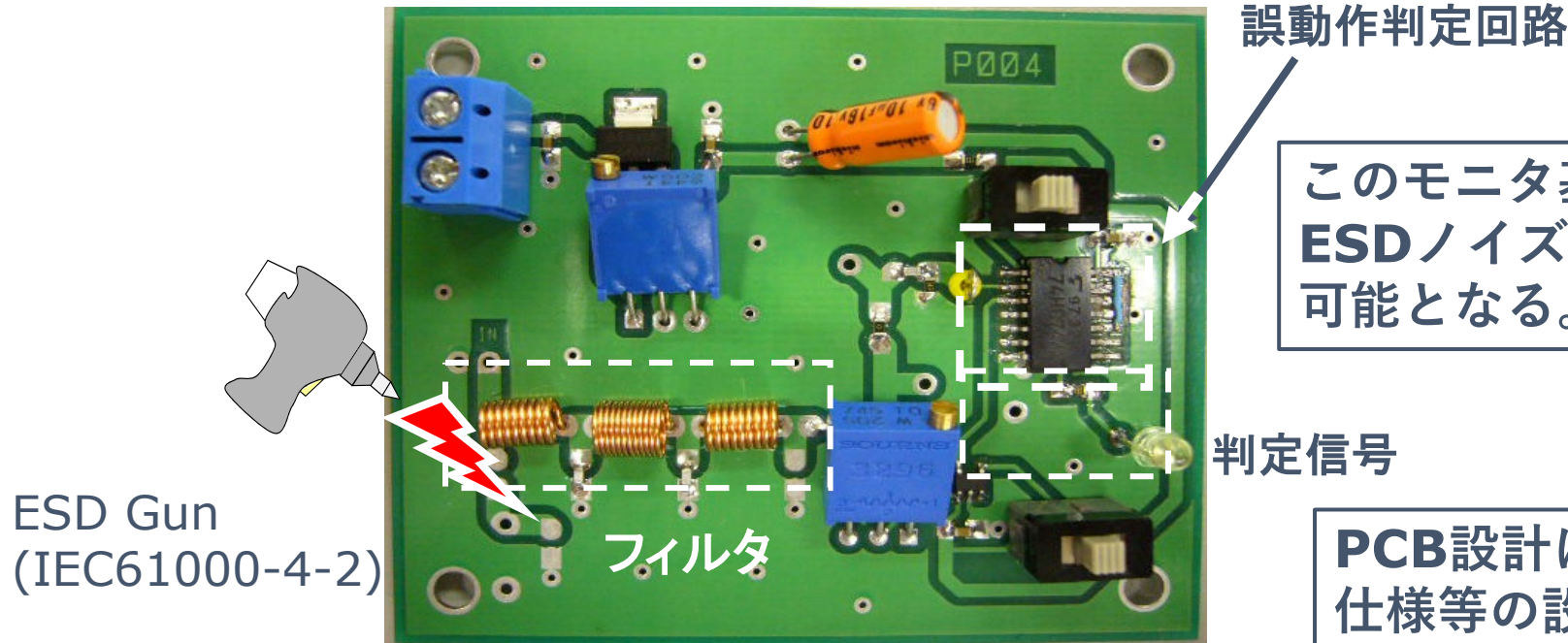
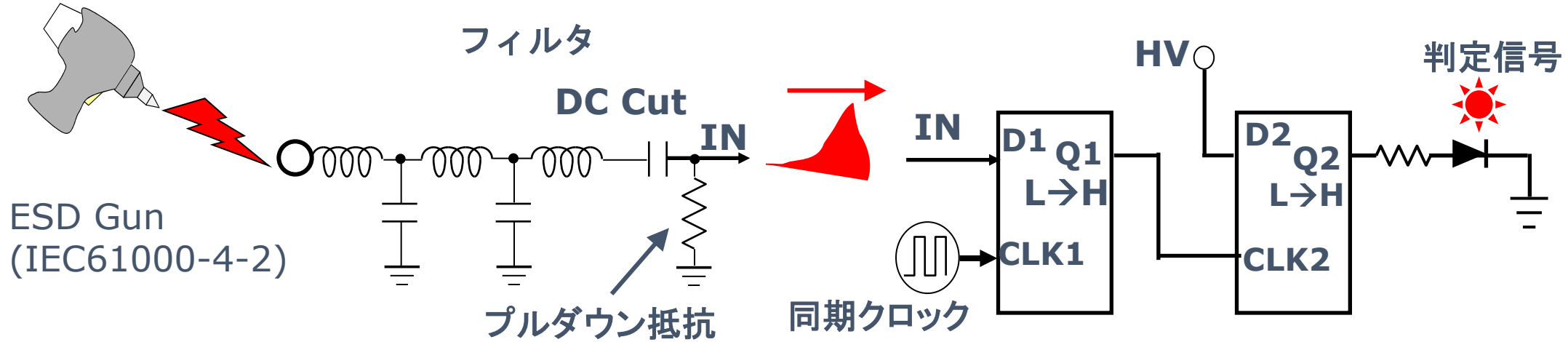
(パッシブ則による気中放電最低電圧325Vよりも低い現象)

→ 狭ギャップ放電現象の分析、再現性のあるCDM/CBE耐性評価方法の検討

→ 応答速度の速い、数十～数V静電気測定方法検討

→ 数十～数V静電気管理方法とは？

ESD誤動作モニタPCBによる分析



このモニタ基板を用いてPCBにおける
**ESDノイズ減衰特性の数値化等の分析が
可能となる。**

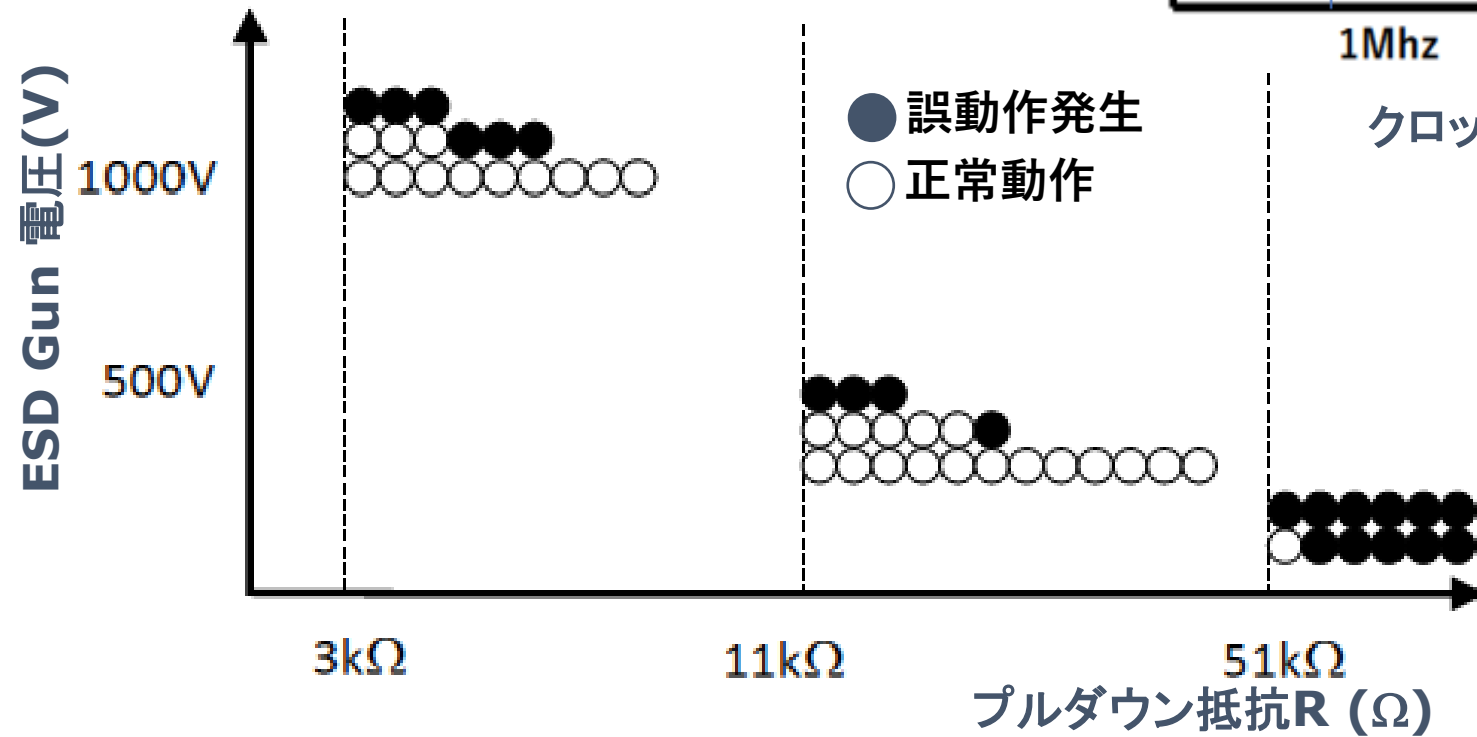
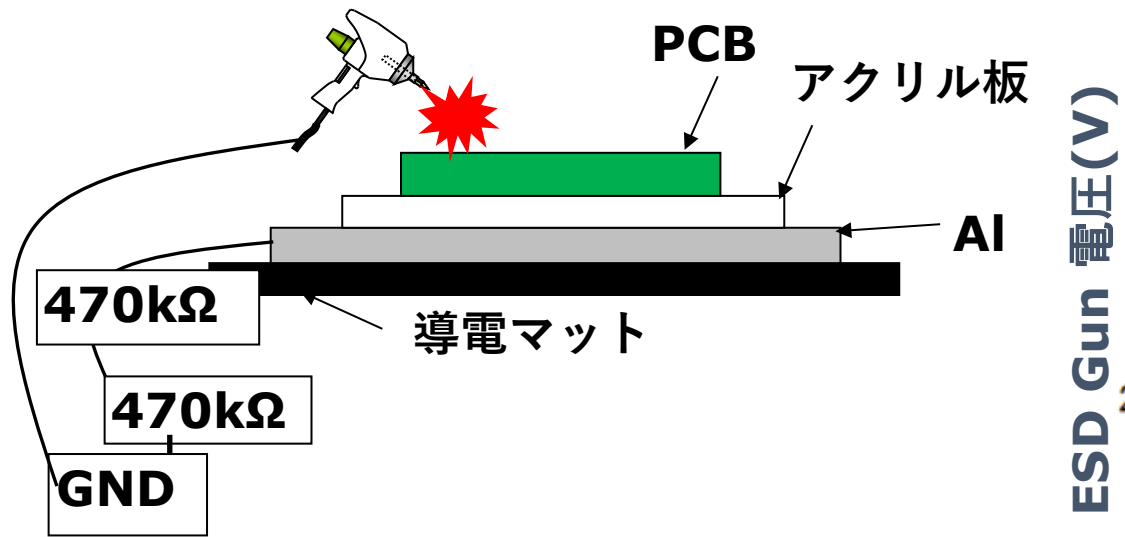
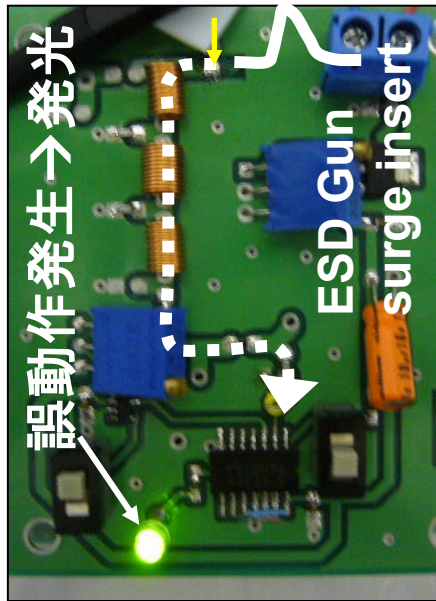
判定信号

**PCB設計におけるESDノイズ減衰
仕様等の設定等の可能性が出てくる。**

$$\alpha = 20 \ln(V_{out}/V_{in})$$

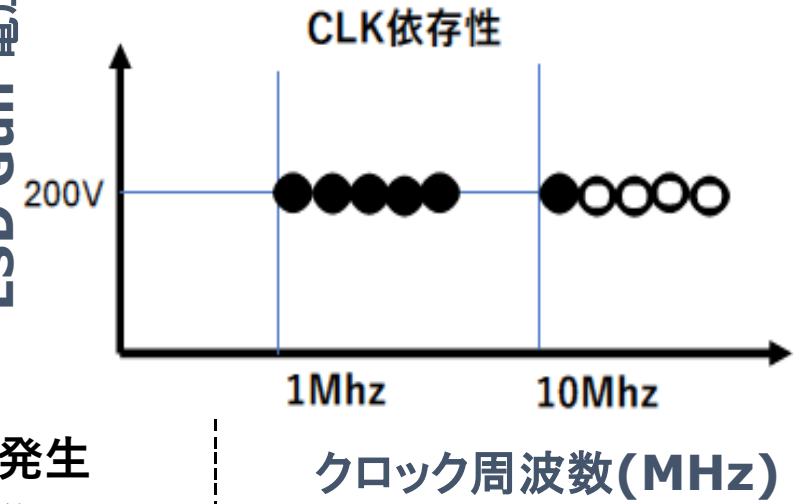
Noise減衰率性能(指標)

誤動作モニタ基板

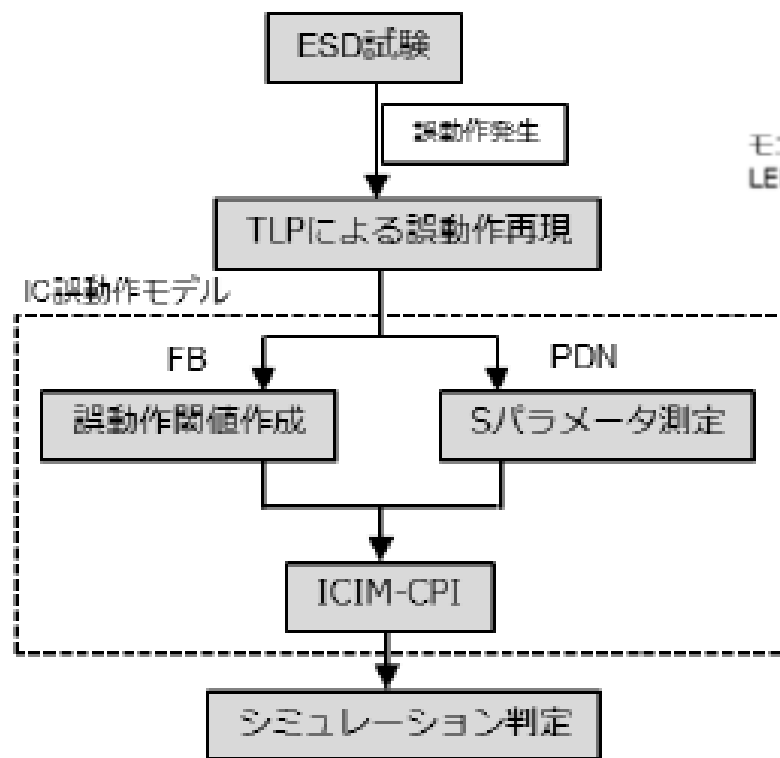


ESD Gun 電圧(V)

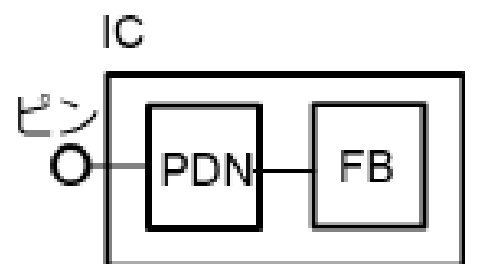
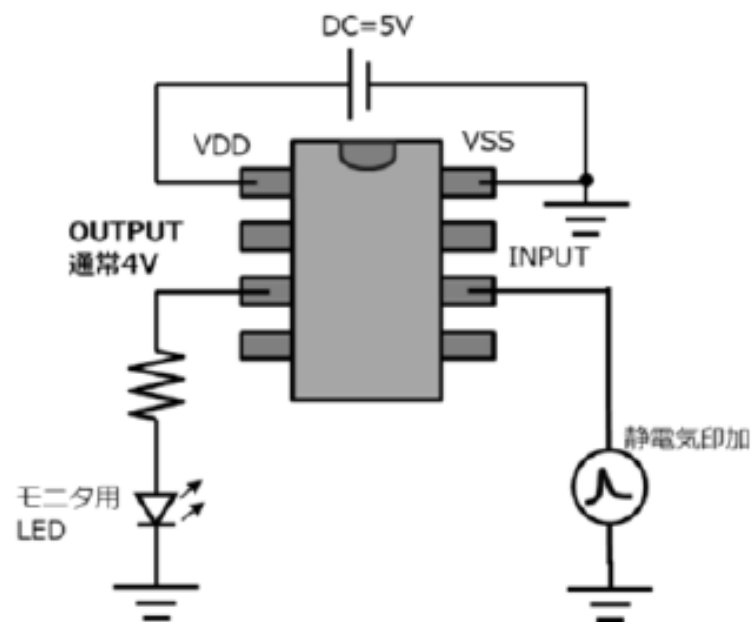
- 誤動作発生
- 正常動作



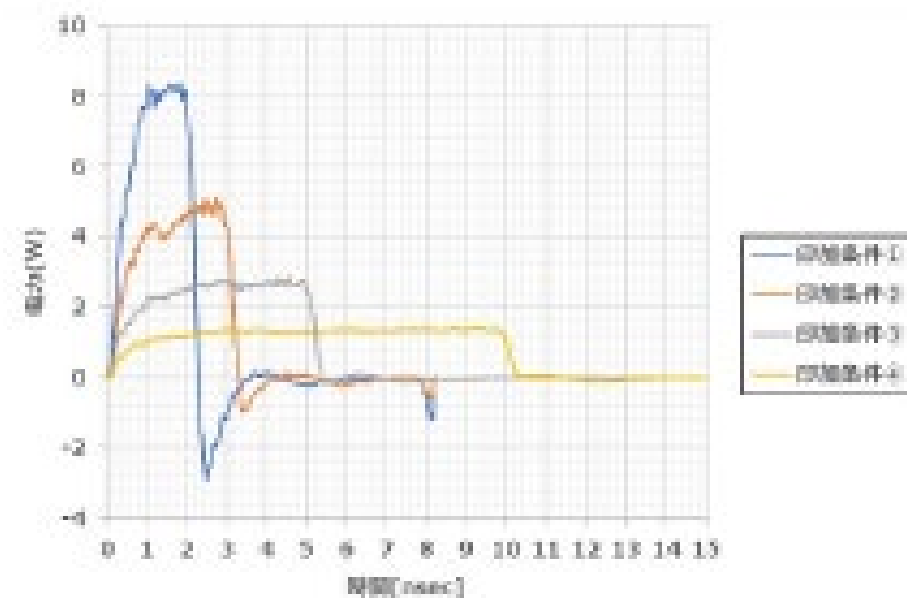
ESDサージ誤動作耐性はプルダウン抵抗、クロック周波数に対し負の相関



ESD シミュレーションフロー



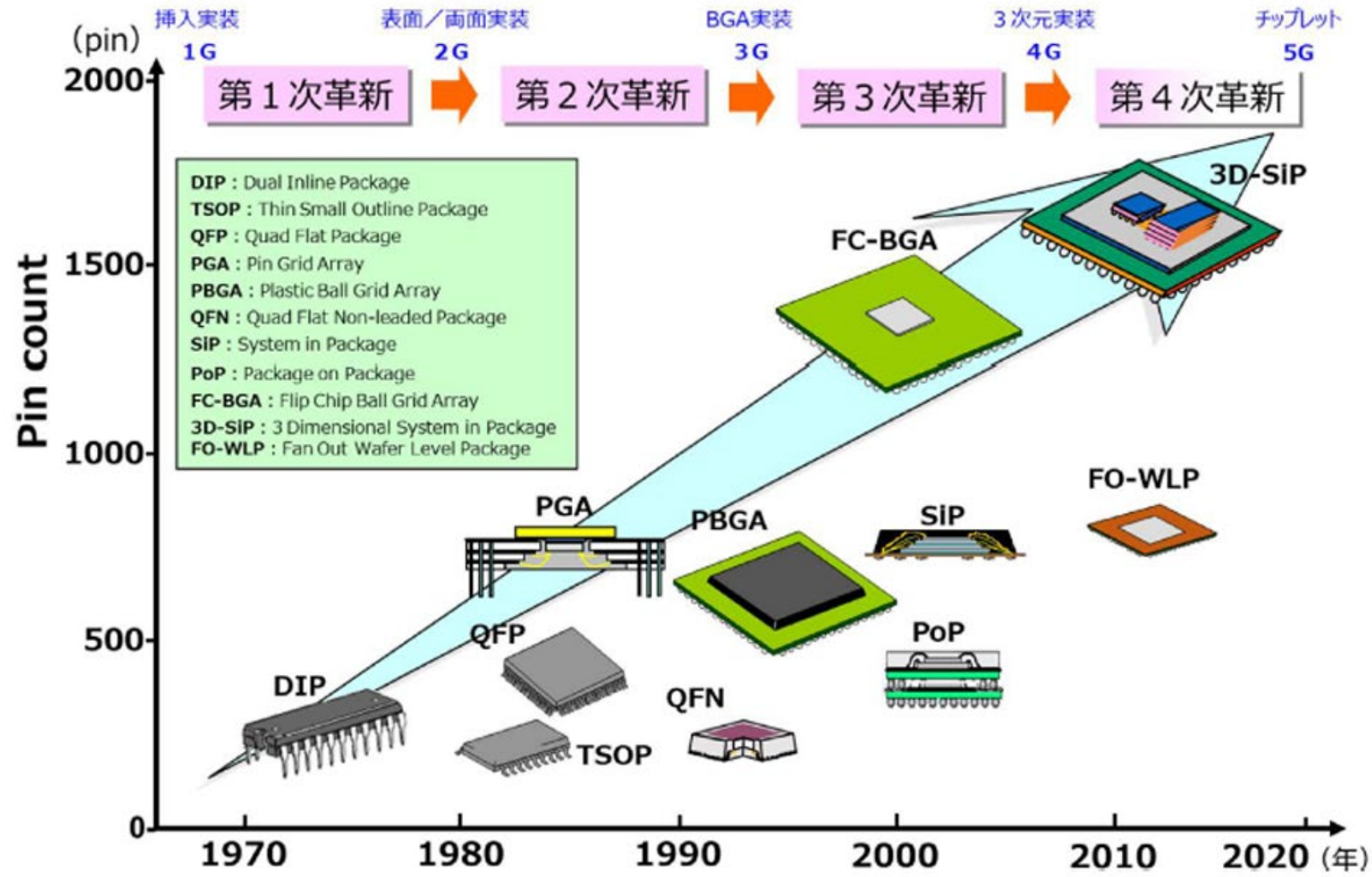
ICIM-CPI ブロック



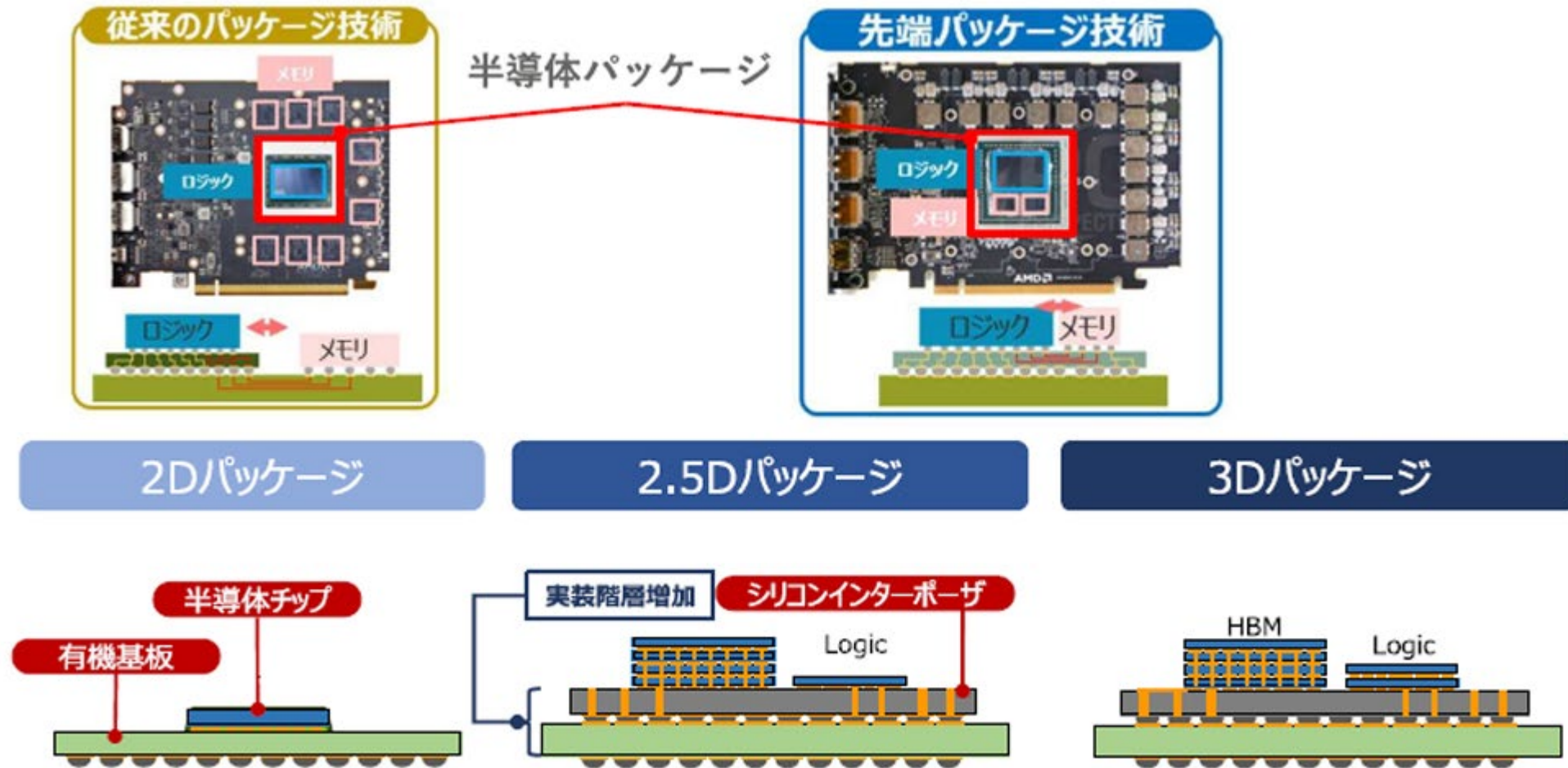
誤動作発生時の TLP 電力波形

印加条件	エネルギー [nJ]
①	14.1
②	12.2
③	12.1
④	12.5

誤動作発生時のエネルギー



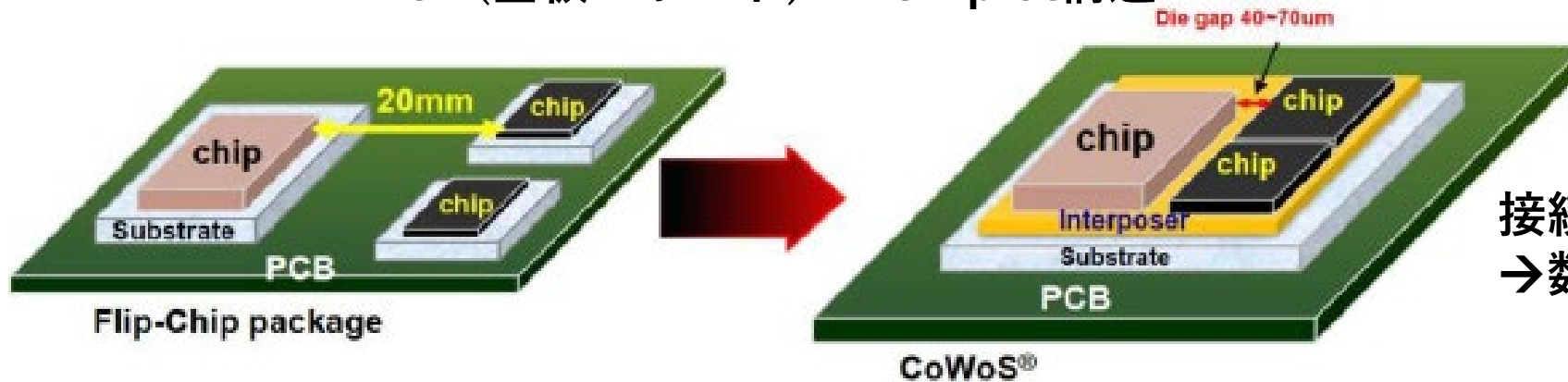
実装パッケージ形態の変遷による集積度向上推移



パッケージ技術の進化

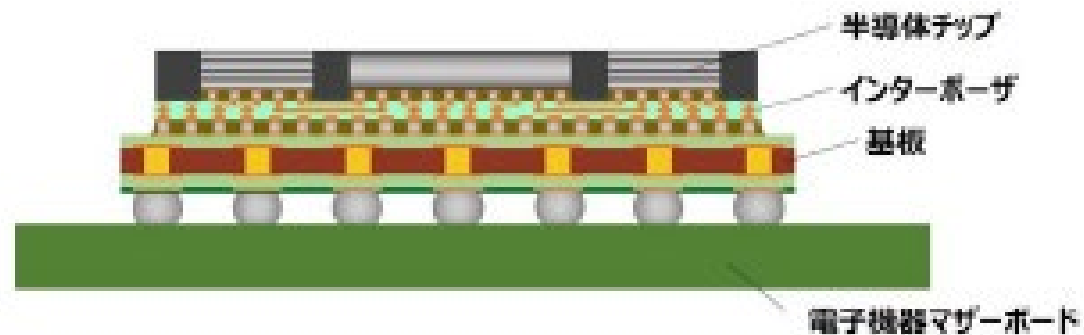
今後の2.5D/3D実装方法におけるESD対策、静電気管理？

PCB(基板・ボード)-->Chiplet構造



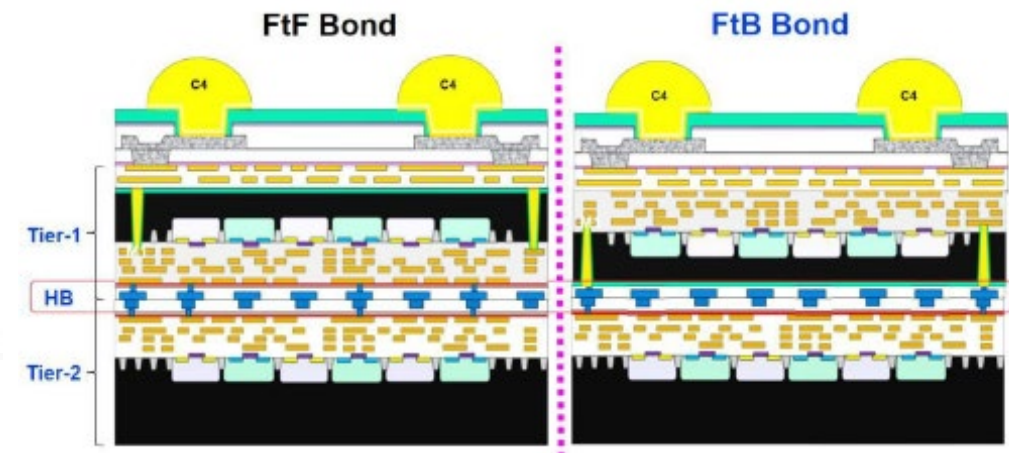
接続PadにESD保護は挿入不可能
→数十Vにて破壊する。

インターポーザ上の 2.5D チップレット統合

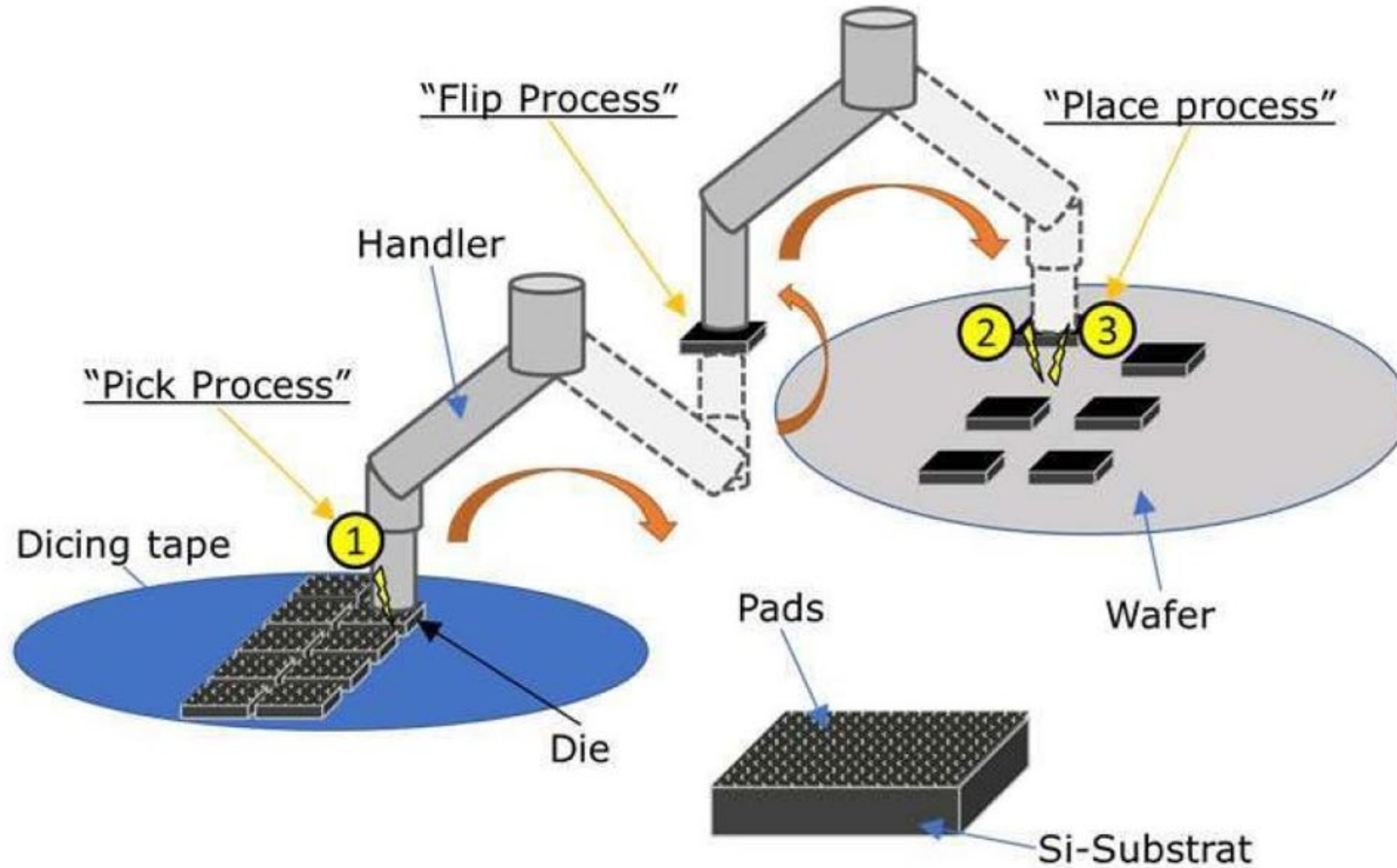


インターポーザにより半導体チップと基板間の接続の様子

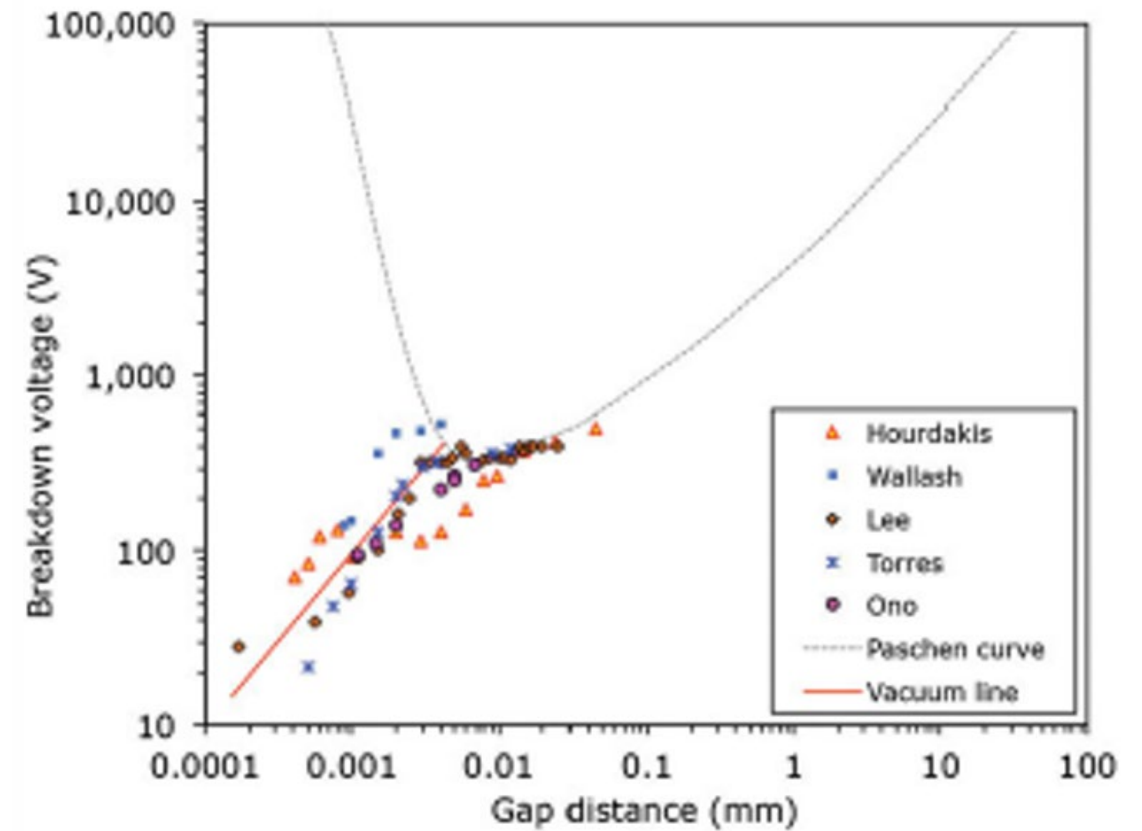
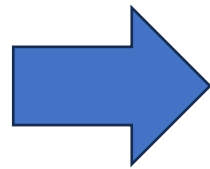
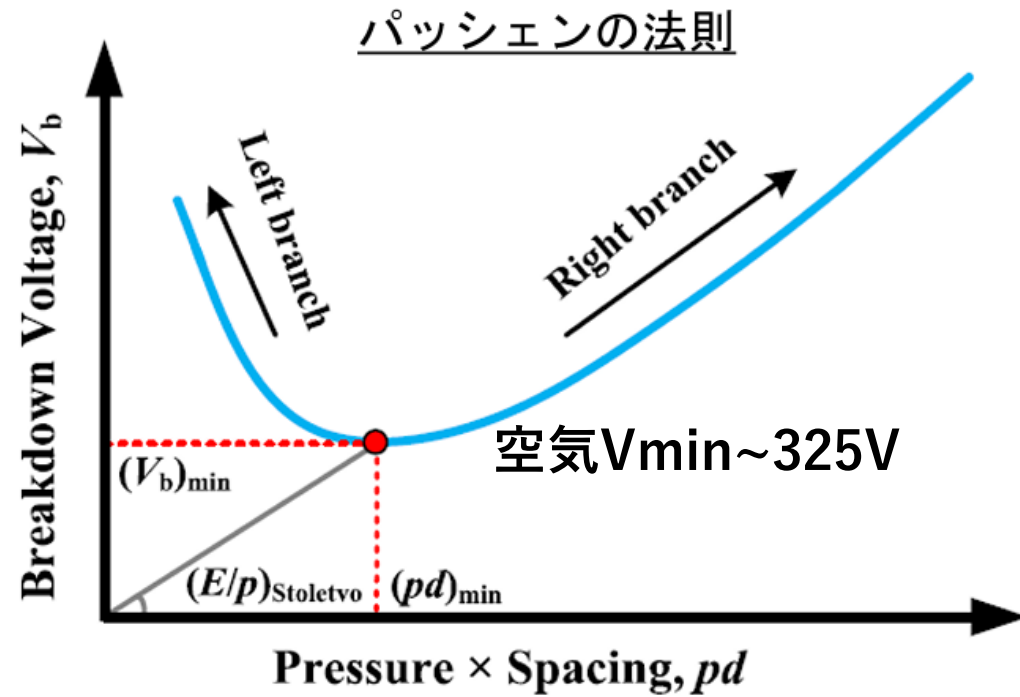
WoW FtF & FtB Offerings Cross-section



ハイブリッドボンディング a) 前面と前面 b) 前面と後面[2]



ダイが下部ウェハーに接続される工程における静電気損傷発生可能性箇所の一例



従来の気中放電電圧とPLとの関係(パッシェン則)

狭ギャップ放電現象での V_{min} と
ギャップ長との関係

1.電子部品、基板・モジュール、電子機器における 静電気障害分類及び各標準試験方法

1.1 狭ギャップ放電現象とそのメカニズム分析、 容量測定方法の考察

1.2 極低電圧CDM試験方法

1.3 ESD試験・破壊試験と信頼性保障との位置付け

2.CBE現象、対策

2.1 CBE試験方法の更なる検討

2.2 CBE保護対策検討

2.3 CBE保護、試験方法関連の文献調査による検討

3.HMM現象、対策

3.1 ESD Gunによる基板試験の放電電流波形分析継続

3.2 ESD Gun試験とTLP試験の整合性及び HMM試験方法の検討

4.基板ESD保護対策

4.1 多層基板における放電波形分析

4.2 TVS搭載による伝送路特性(Simulation)と 実機PCB配置、Z matchingとの整合性検討 - Differential Lineの部品実装部Z調整手法

4.3 基板レベルESD誤動作の各種事例分析と 回路Simulation解析方法の検討

4.4 電源ラインのTVS保護の検討

5.LSI-ESD保護

5.1 先端デバイスにおける今後のESD保護回路と その動向の事例研究

5.2 ICレベルのESD保護と 外付けESD保護とのハーモナイズ設計検討

6.実装工程静電気対策及び静電気工程管理

6.1 実装工程、部品帯電現象の調査及び対策

6.2 表面実装ラインの工程管理に関する調査

6.3 工程での静電容量測定方法の検討

6.4 10VレベルのESD管理手法の検討

7. 静電気管理/各種静電気管理標準の分析と 適切な管理方法の検討(RCJ規格変更対応)

8. ESD可視化技術

8.1 ESD可視化技術の開発、検討の継続